

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-144276

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

H01L 27/12  
G02B 6/122  
G02B 6/12  
H01L 21/762  
H01L 27/04  
H01L 21/822  
H01L 21/8238  
H01L 27/092  
H01L 27/08  
H01L 27/10  
H01L 27/108  
H01L 21/8242  
H01L 29/786  
H01L 21/336  
H01L 29/84

(21)Application number : 2000-252881

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.08.2000

(72)Inventor : SATO TSUTOMU

MATSUO MIE

MIZUSHIMA ICHIRO

TSUNASHIMA YOSHITAKA

TAKAGI SHINICHI

(30)Priority

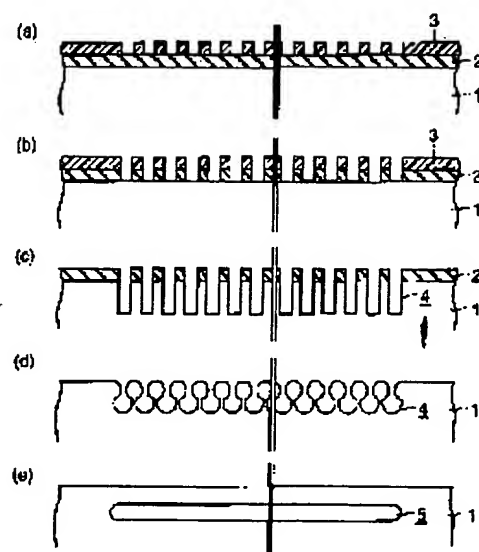
Priority number : 11246582    Priority date : 31.08.1999    Priority country : JP

## (54) SEMICONDUCTOR SUBSTRATE AND METHOD OF PRODUCTION

(57)Abstract:

PROBLEM TO BE SOLVED: To form an SOI structure without causing cost increase or lowering of reliability.

SOLUTION: A plurality of grooves 4 are made in the surface of a silicon substrate 1 while being arranged two-dimensionally and then the silicon substrate 1 is heat treated to deform the plurality of grooves 4 into one planar cavity 5.



LEGAL STATUS

[Date of request for examination] 27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] The semi-conductor substrate characterized by establishing the plate-like cavity in the interior.

[Claim 2] The semi-conductor substrate characterized by preparing the plate-like insulating member in the interior.

[Claim 3] The semi-conductor substrate characterized by including the stress generating film which is the semi-conductor substrate which includes a cavity inside, is prepared in a part of inside [ at least ] of said cavity, and is made to generate a tensile stress in said semi-conductor substrate on said cavity.

[Claim 4] For the configuration element of an insulator layer and said semi-conductor substrate, said stress generating film is a semi-conductor substrate of the semi-conductor film containing a different semi-conductor element according to claim 3 which comes out on the other hand and is characterized by a certain thing.

[Claim 5] The semi-conductor substrate according to claim 3 with which the ratio of thickness/ (thickness [ of said semi-conductor substrate on said stress generating film ] + thickness of said stress generating film) of said semi-conductor substrate on said stress generating film is characterized by or more 0.1 being 0.9 or less.

[Claim 6] The semi-conductor substrate characterized by the column which is the semi-conductor substrate which consists of a semi-conductor, and has a cavity inside, and becomes the interior of said cavity from said semi-conductor existing.

[Claim 7] The distance between the field which consists the thickness of the semi-conductor substrate on said cavity of said nearest semi-conductor, and said column from  $t$  and said column  $w$ , The semi-conductor substrate according to claim 6 characterized by fulfilling the conditions of  $w \leq t (E/0.0568P)^{1/4}$  when the load applied to said semi-conductor substrate on  $E$  (N/micrometer<sup>2</sup>) and said cavity in the Young's modulus of said semi-conductor is set to  $P$  (N/micrometer<sup>2</sup>).

[Claim 8] The field which consists of said semi-conductor is a semi-conductor substrate of the column which consists of said semi-conductor different from said column which exists in the edge of said cavity, and said cavity according to claim 6 which comes out on the other hand and is characterized by a certain thing.

[Claim 9] The semiconductor device characterized by including the semiconductor device formed on the semiconductor region on either said cavity of a semi-conductor substrate given in claim 1 thru/or any 1 term of 8, and said semi-conductor substrate, said insulating member and said stress generating film.

[Claim 10] Said semiconductor device is a semiconductor device according to claim 9 characterized by being an MOS transistor.

[Claim 11] The three-dimension period structure characterized by coming to arrange two or more spherical cavities inside a substrate periodically in three dimension.

[Claim 12] The spherical cavity of said plurality is the three-dimension period structure according to claim 11 characterized by being arranged at equal intervals on the same line about the depth direction of said substrate, and being arranged in the shape of a grid about the inside

of the same flat surface in said substrate.

[Claim 13] The spherical cavity of said plurality is three-dimension period structure according to claim 11 characterized by being the same size altogether substantially.

[Claim 14] The spherical cavity of said plurality is the three-dimension period structure according to claim 11 characterized by arranging the cavity of two or more same sizes at equal intervals on the same line about the depth direction of said substrate, and arranging the cavity where two or more sizes differ about the inside of the same flat surface in said substrate in the shape of a grid including two or more spherical cavities where sizes differ.

[Claim 15] Said substrate is the three-dimension period structure according to claim 11 characterized by being a silicon substrate.

[Claim 16] Said cavity is the three-dimension period structure according to claim 11 characterized by consisting of polyhedrons which were able to take the angle.

[Claim 17] The three-dimension period structure according to claim 11 characterized by hydrogen existing in the interior of said cavity.

[Claim 18] The semiconductor device characterized by including the semiconductor device connected with the three-dimension period structure according to claim 11 and this three-dimension period structure.

[Claim 19] The semiconductor device characterized by being incorporated in a semi-conductor substrate and said semi-conductor substrate, being formed from a semi-conductor element, and including the waveguide whose perimeter of a top face, a side face, and a base is space, and which lets light pass.

[Claim 20] Said semi-conductor element is a semiconductor device according to claim 19 characterized by being the same as the semi-conductor element which constitutes said semi-conductor substrate.

[Claim 21] The semiconductor device characterized by including the passive element formed in the front face of the semi-conductor substrate which has a plate-like cavity inside, and said semi-conductor substrate on said cavity.

[Claim 22] Said passive element is a semiconductor device of an inductor and a capacitor according to claim 21 which comes out on the other hand at least, and is characterized by a certain thing.

[Claim 23] It is the semi-conductor substrate [claim 24] which is a semi-conductor substrate including cooling structure, and is characterized by said cooling structure containing two or more cooling pipes for penetrating said semi-conductor substrate and pouring a refrigerant. The manufacture approach of the semi-conductor substrate characterized by including the process which forms two or more 1st trenches in the front face of a semi-conductor substrate, and the process which changes said two or more 1st trenches into one plate-like cavity by heat-treating to said semi-conductor substrate [claim 25] The manufacture approach of the semi-conductor substrate according to claim 24 characterized by including further the process which forms in the front face of said semi-conductor substrate the 2nd trench which arrives at said plate-like cavity, and the process which embeds the interior of said 2nd trench and said plate-like cavity by the insulator layer after forming said plate-like cavity.

[Claim 26] The manufacture approach of the semi-conductor substrate according to claim 24 characterized by forming an oxide film in the inside of said plate-like cavity by thermal oxidation after forming said plate-like cavity.

[Claim 27] The manufacture approach of the semi-conductor substrate according to claim 25 characterized by forming an oxide film in the inside of said plate-like cavity by thermal oxidation after forming said 2nd trench.

[Claim 28] While forming two or more 1st trenches in the front face of a semi-conductor substrate, the process which forms the 3rd trench with an effective area larger than said 1st trench, and by heat-treating to said semi-conductor substrate The process changed into one cavity which has a plate-like space field for two or more of said the 1st trench and said 3rd trench, and has an effective area on the front face of said semi-conductor substrate, and which has not been closed, The manufacture approach of the semi-conductor substrate characterized by including the process which embeds the interior of said cavity by the insulator layer [claim

29] The manufacture approach of a semi-conductor substrate given in claim 24 characterized by carrying out array formation of said two or more 1st trenches so that it may be set to  $D < 4R$  when the radius of the circle which has D and the same area as the area of the effective area of said 1st trench for spacing of said 1st trench is set to R thru/or any 1 term of 28.

[Claim 30] 28 is [ claim 24 characterized by the aspect ratio of said 1st trench being 2.5 or more thru/or ] the manufacture approach of a semi-conductor substrate given in the 1st term someday.

[Claim 31] The manufacture approach of a semi-conductor substrate given in claim 24 characterized by including further the process which forms an MOS transistor in the semiconductor region on said cavity of said semi-conductor substrate thru/or any 1 term of 30.

[Claim 32] An aspect ratio on the front face of a semi-conductor substrate the process in which two or more the 1st five or more trenches and aspect ratios form two or more 4th four or less trenches, and by heat-treating to said semi-conductor substrate The manufacture approach of the semi-conductor substrate characterized by including the process which makes flat the front face of said semi-conductor substrate including the field in which said two or more 1st trenches were changed into one cavity, and said two or more 4th trenches were extinguished, and these the 4th trench and said cavity were formed [claim 33] The process which forms two or more trenches in the front face of a semi-conductor substrate, and by performing 1st heat treatment to said semi-conductor substrate The process which changes said two or more 1st trenches into one cavity, and by performing 2nd heat treatment to said semi-conductor substrate, and changing the pressure inside said cavity into it The manufacture approach of the semi-conductor substrate characterized by including the process which makes small the difference of the pressure of the ambient atmosphere in which said semi-conductor substrate exists, and the pressure inside said cavity [claim 34] The manufacture approach of the semi-conductor substrate according to claim 33 characterized by performing said 1st heat treatment under an elevated temperature and reduced pressure, and performing said 2nd heat treatment under low temperature and high pressure.

[Claim 35] The manufacture approach of the semi-conductor substrate according to claim 33 characterized by performing said 1st heat treatment under an elevated temperature 1100 degrees C or more.

[Claim 36] Said 2nd heat treatment is the manufacture approach of the semi-conductor substrate according to claim 33 characterized by carrying out in the ambient atmosphere whose hydrogen concentration is 100%.

[Claim 37] It is the manufacture approach of the semi-conductor substrate according to claim 33 characterized by performing said 2nd heat treatment under the high pressure more than atmospheric pressure.

[Claim 38] The manufacture approach of the semi-conductor substrate according to claim 33 characterized by said the 1st heat treatment and said heat treatment of the 2nd being a continuous process.

[Claim 39] The process which forms two or more 1st trenches in the front face of a semi-conductor substrate, and by heat-treating to said semi-conductor substrate The process which changes said two or more 1st trenches into one plate-like cavity, and the process which forms in said semi-conductor substrate the 2nd slot which arrives at said cavity, The manufacture approach of the semi-conductor substrate characterized by including the process which forms the thermal oxidation film for making the inside of said cavity generate a tensile stress in said semi-conductor substrate on said cavity by the oxidizing [ thermally ] method [claim 40] The 1st semi-conductor film containing the 2nd different semi-conductor element from the process which forms two or more 1st trenches in the front face of a semi-conductor substrate, and the 1st semi-conductor element which constitutes said semi-conductor substrate The process formed in the front face of said semi-conductor substrate containing said two or more 1st trenches, and by performing 1st heat treatment to said semi-conductor substrate The process which changes said two or more 1st trenches into one plate-like cavity, the process which forms in said semi-conductor substrate the 2nd slot which arrives at said cavity, and by performing 2nd heat treatment to said semi-conductor substrate The manufacture approach of the semi-

conductor substrate characterized by including the process which forms a 2nd semi-conductor film containing said 1st [ the ] for generating a tensile stress, and the 2nd semi-conductor element in said semi-conductor substrate on said cavity in the inside of said cavity [claim 41] The manufacture approach of the three-dimension period structure characterized by including the process which forms two or more 1st trenches in the front face of a semi-conductor substrate, and the process which changes said two or more 1st trenches into two or more spherical cavities by heat-treating to said semi-conductor substrate, respectively.

[Claim 42] The manufacture approach of the three-dimension period structure according to claim 41 characterized by performing said heat treatment under an elevated temperature 1100 degrees C or more in the ambient atmosphere under the reduced pressure whose hydrogen concentration is 100%.

[Claim 43] The process which forms two or more trenches in the front face of a semi-conductor substrate, and by heat-treating to said semi-conductor substrate Etch the process which changes said two or more trenches into one plate-like cavity, and said semi-conductor substrate, and it leaves alternatively said some of semi-conductor substrates on said cavity. The manufacture approach of the semi-conductor substrate characterized by including the process formed so that \*\*\*\*\* as waveguide which lets light pass whose perimeter of a top face, a side face, and a base is space may be included in said semi-conductor substrate.

[Claim 44] The cross-sectional area of said 1st trench by the flat surface perpendicular to the depth direction of said 1st trench is the manufacture approach of the semi-conductor substrate according to claim 24 or 28 characterized by things other than the base of said 1st trench become min by the way.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device using the semiconductor substrate which has the same effectiveness as SOI structure, its manufacture approach, and this semi-conductor substrate etc.

[0002]

[Description of the Prior Art] In recent years, in electron devices, such as DRAM, the much more improvement in the speed and much more power-saving are called for. As one means for realizing improvement in the speed and power-saving, using a SOI (Silicon On Insulator) substrate is raised instead of the silicon substrate (bulk silicon substrate) usually used.

[0003] the substrate with which the SOI substrate had the structure where a silicon field existed, on the insulating region -- it is -- the formation approach -- many classes -- it is -- for example, a lamination method and SIMOX (Separation by IMplanted OXYgen) -- law and ELTRAN (Epitaxial LayerTRANsfer) -- there is law etc.

[0004] however, \*\*\*\* [ the approach / turn to noncommercial electron devices, such as DRAM, and ] since the formation approach of the conventional SOI substrate requires cost -- \*\* -- there was a problem to say. Furthermore, since it was difficult to form a silicon field with few defects (component formation field), there was also a problem that sufficient dependability was not acquired, compared with the case where a bulk silicon substrate is used.

[0005]

[Problem(s) to be Solved by the Invention] Although the further high performance-ization of an electron device was realizable by using a SOI substrate like \*\*\*\*, there was a problem in respect of cost or dependability.

[0006] This invention was not made in consideration of the above-mentioned situation, and the representation slack purpose is in offering the semi-conductor substrate which has the same effectiveness as the SOI structure which can be formed without causing the rise of cost, and the fall of dependability, and its manufacture approach. Moreover, this invention also makes it the purpose to offer the equipment and the process concerning application of the said semi-conductor substrate and the manufacture approach.

[0007]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0008] In order to attain the above-mentioned purpose, the semi-conductor substrate concerning this invention is characterized by preparing the plate-like cavity (ESS: Emty Space Silicon) into a semi-conductor substrate. A cavity is an insulating material which has the first dielectric constant 1, and the SON (Silicon ON Nothing) structure of it which can be called ultimate SOI structure becomes possible.

[0009] Here, just the place of a semi-conductor substrate when it is not necessary to establish a cavity in the whole mostly at (it is meaningless since a semi-conductor substrate will be divided in addition by the upper and lower sides of a cavity if it prepares in the whole), and only a required place wants to specifically enjoy the merit of a SOI substrate is enough.

[0010] Moreover, other semi-conductor substrates concerning this invention are characterized by preparing the plate-like insulating member partially into a semi-conductor substrate.

[0011] The manufacture approach of the semi-conductor substrate concerning this invention is characterized by having the process which forms two or more 1st trenches in the front face of a semi-conductor substrate, and the process which changes said two or more 1st trenches into one plate-like cavity by heat-treating to said semi-conductor substrate.

[0012] Moreover, the manufacture approach of other semi-conductor substrates concerning this invention While forming two or more 1st trenches in the front face of a semi-conductor substrate, the process which forms the 3rd trench with an effective area larger than said 1st trench, and by heat-treating to said semi-conductor substrate It is characterized by having the process changed into one cavity which has a plate-like space field for two or more of said the 1st trench and said 3rd trench, and has an effective area on the front face of said semi-conductor substrate, and which has not been closed, and the process which embeds the interior of said cavity by the insulator layer.

[0013] The desirable gestalt of the manufacture approach of these semi-conductor substrates is as follows.

[0014] (1) After forming a plate-like cavity, it has further the process which forms in the front face of a semi-conductor substrate the 2nd trench which arrives at a plate-like cavity, and the process which embeds the interior of the 2nd trench and a plate-like cavity by the insulator layer.

[0015] (2) Form an oxide film in the inside of a plate-like cavity by thermal oxidation after forming a plate-like cavity. Then, the process of the above (1) is performed if needed.

[0016] (3) When the radius of the circle which has  $D$  and the same area as the area of the effective area of the 1st trench for the shortest spacing of the 1st trench is set to  $R$ , carry out array formation of two or more 1st trenches so that it may be set to  $D < 4R$ .

[0017] (4) Use a silicon substrate as a semi-conductor substrate.

[0018] (5) Set above (4) and they are the bottom of reduced pressure, and  $\text{SiO}_2$ . Heat treatment for forming a cavity in the ambient atmosphere returned is performed.

[0019] (6) Perform heat treatment for forming a cavity in the bottom of reduced pressure, and a hydrogen ambient atmosphere in the above (4).

[0020] (7) Perform heat treatment for forming a cavity below the bottom of reduced pressure, and 1000 degrees C or more 1200 degrees C in the above (4).

[0021] The structure like this invention of having the same function as SOI by the manufacture approach of the semi-conductor substrate of this invention, without causing the rise of cost and the fall of dependability if it is the semi-conductor substrate of a configuration can be formed.

[0022] The reason for the ability to prevent the rise of cost is that it forms the insulating region of SOI structure according to the simple process of changing into one cavity two or more trenches formed in the semi-conductor substrate by heat treatment.

[0023] Since a single crystal field can be formed as mentioned above using the surface migration by heat treatment, the silicon substrate which included some defects as an early substrate can be used. Consequently, wafer cost is reducible. That is, cost may be able to be held down even if compared with the conventional transistor formed in the bulk substrate of course even if compared with the conventional SOI substrate.

[0024] Moreover, by this approach, since the field in which two or more trenches were formed serves as SOI structure, only a desired field can be made into SOI structure. Therefore, by forming SOI structure only for the field for which SOI structure is needed, the rise of cost can be controlled further and the degree of freedom of a device design also becomes high.

[0025] The reason for the ability to prevent the fall of dependability is that the crystallinity of the semiconductor region which forms a component becomes comparable as the usual single crystal semiconductor since form status change-ization to one cavity from two or more above-mentioned trenches is what is depended on the surface migration of the semi-conductor produced so that surface energy of a semi-conductor substrate may be made into the minimum.

[0026] The above of this invention, and the other purposes and the new description will become clear by a publication and accompanying drawing of this specification.



[0027]

[Embodiment of the Invention] Hereafter, the gestalt (henceforth an operation gestalt) of operation of this invention is explained, referring to a drawing.

[0028] (1st operation gestalt) Drawing 1 is the sectional view showing the formation approach of the silicon substrate which has a plate-like cavity (ESS:Empty Space in Silicon) concerning the 1st operation gestalt of this invention, i.e., the SON (Silicon On Nothing) substrate which can be called ultimate SOI substrate.

[0029] First, the mask material 2 is formed on the silicon substrate 1 of a single crystal, and the photoresist pattern 3 is formed on it drawing 1 (a) So that it may be shown. The mask material 2 is explained later.

[0030] Next, as shown in drawing 1 (b), patterning of the mask material 2 is carried out by anisotropic etching, for example, RIE, by using the photoresist pattern 3 as a mask, and the pattern of the photoresist pattern 3 is imprinted to the mask material 2.

[0031] Next, as shown in drawing 1 (c), after carbonizing the photoresist pattern 3 and exfoliating, patterning of the silicon substrate is carried out by anisotropic etching, for example, RIE, by using the mask material 2 as a mask, and array formation of two or more trenches 4 is carried out two-dimensional on the front face of a silicon substrate.

[0032] Here, the radius of a trench 4 is [ the shortest spacing (refer to below-mentioned drawing 3 ) of 2 micrometers and a trench 4 of 0.2 micrometers and the depth ] 0.8 micrometers. When an ingredient with an etching rate later enough than silicon is desirable on the occasion of patterning of the silicon substrate 1 according [ the mask material 2 ] to anisotropic etching again explained about the layout of a trench 4 later, for example, RIE is used for anisotropic etching, the cascade screen of silicon oxide or a silicon nitride, and silicon oxide etc. is suitable.

[0033] next, the non-oxidizing atmosphere under the reduced pressure after removing the mask material 2 (pressure lower than atmospheric pressure) -- desirable -- SiO<sub>2</sub> By performing elevated-temperature annealing in 100% hydrogen ambient atmosphere of the ambient atmosphere to return, for example, 1100 degrees C, and 10Torr As shown in drawing 1 (e) through drawing 1 (d), when the cavities which the effective area of each trench 4 was shut, and the cavity was formed, and were further formed with each trench 4 unify, one plate-like cavity 5 is formed in the interior of a silicon substrate 1. Here, although heat treatment temperature was made into 1100 degrees C, it may be higher than it.

[0034] This form status change-ization is based on the surface migration of the silicon produced so that surface energy may be made into min, after the silicon oxide of the front face of a silicon substrate 1 is removed.

[0035] Here, it is decided by the layout of the early trench 4 whether a plate-like cavity will be formed. When the shortest spacing of a trench 4 is 0.8 micrometers like this operation gestalt, as shown in drawing 1 (e), the cavities formed at the bottom of each trench 4 unify, and a plate-like big cavity is formed. However, when the shortest spacing of a trench 4 is 0.9 micrometers, as shown in drawing 2 , in each trench 4, the spherical cavity 6 is only formed.

[0036] The layout of a trench 4 is further explained to a detail using a top view. Drawing 3 is the top view showing the layout of a trench 4. The top view of the plate-like cavity 5 formed in the right of the layout of each trench 4 of drawing 3 is also shown. The W-W' sectional view of the top view of the layout of each trench 4 is equivalent to the sectional view of drawing 1 (c), and the W-W' sectional view of the top view of each plate-like cavity 5 is equivalent to the sectional view of drawing 1 (e).

[0037] In drawing, D shows spacing of a trench 4 and R shows the radius of a trench 4. In addition, the dimension of the direction of a shorter side of a cavity 5 is about 100 micrometers. Moreover, the upper limit of the direction of a long side of a cavity 5 is comparable as it of a chip, and, on the other hand, the lower limit is comparable as it of the MOS transistor field of the logic section.

[0038] According to research of this invention persons, when referred to as  $D > 4.5R$ , a plate-like cavity could not be formed, but it was [ that a spherical cavity is only formed in the lower part of each trench, and ], and when referred to as  $D < 4R$ , it turned out that a plate-like cavity can be formed. In addition, in  $4R \leq D \leq 4.5R$ , a plate-like cavity can form or is not made.

[0039] Therefore, in the layout of each trench shown in drawing 3, by setting up with  $D < 4R$ , the cavity formed at the bottom of each trench 4 can unify, and the plate-like cavity 5 can be alternatively formed in the bottom of the field in which the trench 4 was formed in early stages.

[0040] That is, according to this operation gestalt, the plate-like cavity 5 can be formed only in the bottom of the field with arranging a trench 4 so that  $D < 4R$  may be filled, and the silicon substrate which has a plate-like cavity (dielectric field) partially in a wafer side can be formed only in a field to form the plate-like cavity 5 in.

[0041] This means that only the field of the request within a wafer side is made to SOI structure, and can enjoy the merit of SOI substrates, such as rapidity and a low power, in the field.

Therefore, the merit of a SOI substrate can be enjoyed, without using the SOI substrate which is an expensive substrate.

[0042] And the silicon field which forms a component is not made to produce a defect unlike SOI substrates, such as SIMOX and ELTRAN. It is because the cavity is formed by the surface migration of the silicon produced so that surface energy of a trench may be made into min, so the crystallinity of the silicon field which forms a component becomes comparable as the usual single crystal silicon.

[0043] As a part which prepares such a plate-like cavity, as shown, for example in drawing 4, the inside of the substrate of the LOGIC section of DRAM/LOGIC mixed loading as which rapidity and a low power are required is raised.

[0044] In addition, when two or more trenches 4 are formed by RIE, just before performing heat treatment for making a plate-like cavity form two or more trenches 4 into a form status change, after forming the thermal oxidation film with a thickness of about 10nm in the inside of two or more trenches 4, it is desirable to remove the thermal oxidation film. The damage of the silicon substrate 1 produced by RIE is fully removable with such formation and removal of the thermal oxidation film.

[0045] In addition, also in the case of a rectangle, the same result is obtained although this operation gestalt explained the case where the configuration of the effective area of a trench 4 was a circle.  $R$  in this case becomes the area of that rectangle, and the radius of the circle of the same area. The same is said of the case of other configurations other than a rectangle.

[0046] Moreover, even if it heat-treats without removing the mask material 2, the plate-like cavity 5 can be formed similarly. However, in order to use the front face of the silicon substrate 1 by which flattening was carried out, the heat treatment after removal of the mask material 2 which can also perform flattening on the front face of a substrate to coincidence is more desirable. Even if it heat-treats without removing the mask material 2, a front face can be made flat by adding a CMP (Chemical Mechanical Polishing) process after that.

[0047] Moreover, the substrate front face on a plate-like cavity has fallen for a while to other substrate front faces. As for the reason, the volume of the cavity formed at the bottom of each trench becomes smaller than the volume of an early trench, and it is considered that only the part which deducted the volume of the plate-like cavity formed is because a substrate front face falls to the volume of two or more trenches formed previously. In addition, the substrate front face on a plate-like cavity is flat.

[0048] Considering applying a plate-like cavity to the LOGIC section of DRAM/LOGIC mixed loading, this means that a level difference arises into the boundary part of the DRAM section and the LOGIC section. that is, whether it is DRAM/LOGIC mixed loading which applied this invention is whether a level difference is in the boundary part of the DRAM section and the LOGIC section -- it understands. The same level difference is produced with other devices.

[0049] In the case of  $R = 0.2$  micrometers and  $D = 0.8$  micrometers, the above-mentioned level difference is set to 0.1 micrometers or less. If it is a level difference of this level, it can expose satisfactory. With the present technique, if it is 0.2 micrometers or less, it can expose satisfactory.

[0050] The concrete approach of mitigating the effect of a level difference is described. Since the pattern thinner than the pattern of a mask (REKUCHIRU) on a level difference is imprinted by the resist in optical exposure, about the pattern of the part corresponding to the level difference top of a mask (REKUCHIRU), it is good to expect the part which becomes thin

beforehand and to consider as a broad pattern. Using electron beam exposure is raised as other approaches. It is because electron beam exposure cannot be easily influenced of a level difference compared with optical exposure.

[0051] What is necessary is only for the part which fell after only the part which falls beforehand investigating fields other than the formation field of a cavity or forming a plate-like cavity to raise only the formation field top of a cavity, or to grind the whole surface by CMP, and just to carry out flattening of the front face, before forming a plate-like cavity when the effect cannot be disregarded although it is satisfactory even if it will leave as it is if it is a certain amount of level difference as mentioned above.

[0052] In investigating only the part which falls beforehand, where the formation field of a plate-like cavity is covered with a mask, for example, an oxide film, the field which does not form a plate-like cavity by the RIE method is etched alternatively, and it retreats the front face.

[0053] What is necessary is on the other hand, just to perform selection epitaxial growth of Si using dichlorosilane and a hydrochloric acid in the condition of having covered except the formation field of a plate-like cavity with the mask, in raising only the lowered part.

[0054] Moreover, if a plate-like cavity is formed by heat treatment of an elevated temperature and long duration, it is possible to make the whole front face flat.

[0055] as stated above, this operation gestalt says that two or more trenches are changed into one plate-like cavity by the surface migration of silicon -- simple and a damage -- a dielectric field can realize SOI structure of a cavity according to a free process. Therefore, according to this operation gestalt, the silicon substrate which has SOI structure can be offered now, without causing the rise of cost, and the fall of dependability.

[0056] Moreover, since the plate-like location and the magnitude of a cavity are controllable by two or more locations and magnitude of a trench, they can introduce the SOI structure of desired magnitude into the field of the request in a silicon substrate easily.

[0057] In addition, although this operation gestalt explained the example which forms one plate-like cavity into a silicon substrate, two or more plate-like cavities may be formed into a silicon substrate.

[0058] (2nd operation gestalt) Drawing 5 - drawing 7 are the sectional views showing the manufacture approach of the MOS transistor concerning the 2nd operation gestalt of this invention. In addition, in the following drawings, the same sign as the above-mentioned drawing shows the same part or a considerable part, and the detailed explanation is omitted.

[0059] With this operation gestalt, a plate-like cavity is formed into a silicon substrate, and the case where an MOS transistor is manufactured on this plate-like cavity is explained.

[0060] First, by the same approach as the 1st operation gestalt shown in drawing 1 (a) - drawing 1 (e), as shown in drawing 5 (a), the plate-like cavity 5 is formed in a silicon substrate 1.

[0061] Next, as shown in drawing 5 (b), sequential formation of silicon oxide 7, the silicon nitride 8, and the photoresist pattern 9 is carried out on a silicon substrate 1.

[0062] Here, the photoresist pattern 9 is arranged so that a part of the opening [ at least ] may come on a porosi field. The example arranged so that the whole opening may come on a porosi field is shown in drawing.

[0063] Next, as shown in drawing 5 (c), patterning of the silicon nitride 8 and the silicon oxide 7 is carried out one by one by anisotropic etching, for example, RIE, by using the photoresist pattern 9 as a mask, and the pattern of the photoresist pattern 9 is imprinted to the silicon nitride 8 and silicon oxide 7.

[0064] Next, as shown in drawing 5 (d), after carbonizing the photoresist pattern 9 and exfoliating, the silicon nitride 8 and silicon oxide 7 are used as a mask, patterning of the silicon substrate 1 is carried out by anisotropic etching, for example, RIE, and the trench 10 connected to the plate-like cavity 5 is formed.

[0065] Next, as shown in drawing 6 (e), the silicon thermal oxidation film 11 is formed in the inside of the plate-like cavity 5 by thermal oxidation. Next, after depositing silicon oxide 12 on the whole surface so that the plate-like cavity 5 and the interior of a trench 10 may be embedded as shown in \*\* (e), CMP removes the unnecessary silicon oxide of the plate-like cavity 5 and the exterior of a trench 10, and flattening of the front face is carried out. At this

time, it is enough for it not to be necessary to embed the interior of the plate-like cavity 5 by silicon oxide 12 completely, and just to embed a trench 10 completely at least.

[0066] Next, as shown in drawing 6 (f), after forming the photoresist pattern 13 for forming isolation (STI), patterning of the silicon nitride 8 and the silicon oxide 7 is carried out one by one by anisotropic etching, for example, RIE, by making this into a mask, and the pattern of the photoresist pattern 13 is imprinted to the silicon nitride 8 and silicon oxide 7.

[0067] Next, as shown in drawing 6 (g), after carbonizing the photoresist pattern 13 and exfoliating, the silicon nitride 8 and silicon oxide 7 are used as a mask, patterning of the silicon substrate 1 is carried out by anisotropic etching, for example, RIE, and the isolation trench 14 is formed. At this time, the thermal oxidation film 11 formed in the inside of the plate-like cavity 4 works as a RIE stopper.

[0068] Next, as shown in drawing 6 (h), after forming the silicon thermal oxidation film 15 in the side face of the isolation trench 14 by thermal oxidation, silicon oxide 16 is embedded and formed in the isolation trench 14, and a front face is made flat.

[0069] Embedding of the isolation trench 14 is performed by removing the unnecessary silicon oxide 16 of the exterior of the isolation trench 14 by CMP, after depositing silicon oxide 16 on the whole surface by CVD so that it may be filled up with the interior of the isolation trench 14.

[0070] Next, as shown in drawing 7 (i), the silicon nitride 8 and silicon oxide 7 are removed. The silicon nitride 8 is heated with H<sub>3</sub>PO<sub>4</sub>. A solution and silicon oxide 7 are removed using a fluoric acid solution.

[0071] Next, as shown in drawing 7 (j), the front face of a silicon substrate 1 is oxidized thermally, and gate oxide 17 is formed in the front face. The above-mentioned thermal oxidation is performed in the mixed-gas ambient atmosphere of 900 degrees C, oxygen, and HCl. Here, as gate dielectric film, although the oxide film was used, other insulator layers, such as tantalum oxide film and oxy-nitride RAIDO film, may be used.

[0072] Next, as shown in drawing 7 (k), the conductive film is formed all over a substrate, patterning of this is carried out, and the gate electrode 18 is formed.

[0073] As conductive film, the cascade screen of the polycrystalline silicon film, the polycrystalline silicon film, and the metal silicide film and a metal membrane are raised, for example. Each above-mentioned polycrystalline silicon film is the thing of low resistance [ film / of undoping / polycrystalline silicon ] including an impurity.

[0074] When the polycrystalline silicon film is used, the cascade screen of the polycrystalline silicon gate, the polycrystalline silicon film, and the metal silicide film is used and the polycide gate and a metal membrane are used, the MOS transistor of the metal gate will be formed, respectively. In the case of the metal gate, it is good to adopt the so-called DAMASHIN gate (A.Yagishita et al.IEDM1998 p.785).

[0075] Next, as shown in drawing 7 (k), after using the gate electrode 15 as a mask and injecting impurity ion into a silicon substrate 1, annealing for activating the above-mentioned impurity ion is performed, and the shallow low-concentration diffusion layers (extension) 19 and 20 are formed.

[0076] As shown in drawing 7 (l), after forming the gate side-attachment-wall insulator layer 21 with a well-known technique (side-attachment-wall remnants), using this gate side-attachment-wall insulator layer 21 and the gate electrode 18 as a mask and injecting impurity ion into a silicon substrate 1 finally, the MOS transistor of LDD structure is completed by performing annealing for activating the above-mentioned impurity ion, and forming the source diffusion layer 22 and the drain diffusion layer 23.

[0077] In addition, annealing of the process of drawing 7 (k) may be omitted and you may carry out by summarizing activation of impurity ion by annealing of the process of drawing 7 (l).

[0078] Furthermore, although the mask material which consists of a silicon nitride 8 and silicon oxide 7 was used with this operation gestalt when forming a trench 10 and the isolation trench 14, it is desirable to use silicon oxide 7' and the mask material which consists of a silicon nitride 8 and silicon oxide 7 in consideration of the selection ratio in etching with silicon.

[0079] The MOS transistor explained with the above-mentioned operation gestalt is good to use for the MOS transistor which constitutes LOGIC of DRAM/LOGIC mixed loading for example. In

this case, in a LOGIC field, the merit of SOI, such as rapidity and a low power, is enjoyable.

[0080] Both manufacture process is fundamentally the same as there are many etching processes for the manufacture process of the MOS transistor of a LOGIC field to form two or more trenches compared with it of the MOS transistor of a DRAM field and heat treatment processes which change two or more trenches into one plate-like cavity here.

[0081] Therefore, since the manufacture process of the conventional DRAM/LOGIC mixed loading can be followed almost as it is, in a LOGIC field, DRAM/LOGIC mixed loading which can enjoy the merit of SOI, such as rapidity and a low power, is easily realizable.

[0082] (3rd operation gestalt) Drawing 8 is the sectional view showing the manufacture approach of the MOS transistor concerning the 3rd operation gestalt of this invention. Although the 2nd operation gestalt explained how to embed a plate-like cavity by silicon oxide, with this operation gestalt, a plate-like cavity is not embedded by silicon oxide, but how to leave with the condition of a cavity is explained.

[0083] First, as shown in drawing 8 (a), the plate-like cavity 5 is formed in a silicon substrate 1 by the same approach as the 1st operation gestalt shown in drawing 1 (a) – drawing 1 (e).

[0084] Next, as shown in drawing 8 (b), the silicon thermal oxidation film 24 is formed in the inside of the plate-like cavity 5, and the front face of a silicon substrate by thermal oxidation. The above-mentioned thermal oxidation is performed in the mixed-gas ambient atmosphere of 900 degrees C, oxygen, and HCl. In a back process, the silicon thermal oxidation film 22 plays a role of a stopper at the time of RIE, as drawing 6 (g) showed.

[0085] Next, as shown in drawing 8 (c), after forming the silicon nitride 25 through the silicon thermal oxidation film 24 on a silicon substrate 1, the photoresist pattern 26 for forming isolation (STI) on it is formed.

[0086] Next, as shown in drawing 8 (d), patterning of the silicon nitride 25 and the silicon thermal oxidation film 24 is carried out one by one by anisotropic etching, for example, RIE, by using the photoresist pattern 26 as a mask, and the pattern of the photoresist pattern 26 is imprinted on the silicon nitride 25 and the silicon thermal oxidation film 24.

[0087] Next, after exfoliating the photoresist pattern 21, the MOS transistor of the LDD structure shown in drawing 9 is completed through the process after drawing 6 (f) shown with the 2nd operation gestalt, and the same process.

[0088] Since there is no process which can acquire the same effectiveness as the 2nd operation gestalt, and embeds the plate-like cavity 5 with this operation gestalt further also by this operation gestalt at silicon oxide, the effectiveness that simplification of a process can be attained is also acquired.

[0089] (4th operation gestalt) Drawing 10 is a process cross section which shows the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention.

[0090] First, as shown in drawing 10 (a), sequential formation of the mask material 2 and the photoresist pattern 27 is carried out on a silicon substrate 1.

[0091] Here, the point that the photoresist pattern 27 differs from the photoresist pattern 3 of drawing 1 (a) of the 1st operation gestalt is having the pattern (opening) corresponding to a trench with an area of an effective area larger than a trench 4 near the pattern other than the pattern (opening) corresponding to two or more trenches 4.

[0092] Next, patterning of the mask material 2 is carried out by anisotropic etching, for example, RIE, by using the photoresist pattern 27 as a mask, and the pattern of the photoresist pattern 27 is imprinted to the mask material 2, and the photoresist pattern 27 is carbonized after that and it exfoliates.

[0093] Next, as shown in drawing 10 (b), patterning of the silicon substrate is carried out by anisotropic etching, for example, RIE, by using the mask material 2 as a mask, and the area of an effective area forms the large trench 28 in the front face of a silicon substrate rather than them near two or more trenches 4 and these trenches 4.

[0094] Next, as shown in drawing 10 (c), after exfoliating the mask material 2, it changes into one cavernous 5' which has a plate-like space field for two or more trenches 4 and trenches 28, and has an effective area on a substrate front face and which has not been closed by performing

elevated-temperature annealing in 100% hydrogen ambient atmosphere of the non-oxidizing atmosphere under reduced pressure, for example, 1100 degrees C, and 10Torr.

[0095] Although the globular form cavity at the pars basilaris ossis occipitalis of each trench 4 is formed and a plate-like cavity is here formed as the result since form status change-ization by the surface migration of silicon is used as the 1st operation gestalt showed two or more trenches 4, in the lower part of the large trench 28, only the corner is only round.

[0096] The layout of a trench 4 and the top view of a cavity are shown in drawing 12 . This is drawing corresponding to drawing 3 , the top view on the left-hand side of drawing 12 (trench layout) is equivalent to the top view on the left-hand side of drawing 3 (trench layout), and the top view on the right-hand side of drawing 12 (plate-like cavity) is equivalent to the top view on the right-hand side of drawing 3 (plate-like cavity).

[0097] Since it should just be connected with the plate-like cavity obtained by form status change-ization of two or more trenches 4, the trench 28 big here is not limited to the location shown in drawing 12 , and if the location is near two or more trenches 4, it is [ that the number should just be one or more since it is a trench for inside oxidization of a cavity 5 as shown below ] arbitrary [ the trench ]. And the cross-section configuration of the big trench 28 is also arbitrary.

[0098] Next, as shown in drawing 10 (d), after forming the silicon thermal oxidation film 11 in the inside of cavernous 5', silicon oxide 12 is deposited on the whole surface so that it may be filled up with cavernous 5'.

[0099] Next, as shown in drawing 11 (e), CMP removes the unnecessary silicon oxide 12 of the exterior of cavernous 5', and flattening of the front face is carried out.

[0100] Next, as shown in drawing 11 (f), sequential formation of the photoresist pattern 31 for forming silicon oxide 29, the silicon nitride 30, and an isolation trench (STI) is carried out on a substrate.

[0101] Next, as shown in drawing 11 (g), patterning of the silicon nitride 30 and the silicon oxide 29 is carried out one by one by anisotropic etching, for example, RIE, by using the photoresist pattern 31 as a mask, and the pattern of the photoresist pattern 31 is imprinted to the silicon nitride 30 and silicon oxide 29.

[0102] Next, after carbonizing the photoresist pattern 31 and exfoliating, the MOS transistor of the LDD structure shown in drawing 13 is completed through the process after drawing 6 (f) shown with the 2nd operation gestalt, and the same process.

[0103] (5th operation gestalt) this operation gestalt -- the 1- an improvement technique applicable to the 4th operation gestalt is explained. In the formation approach of a silicon substrate (SON substrate) of having the plate-like cavity mentioned above, a level difference arises at the edge of the formation field of a cavity 5 inevitably on the formation approach (refer to drawing 14).

[0104] When the above-mentioned level difference tends to produce a device on the silicon substrate 1 on a cavity 5, it poses a problem. For example, in case patterning of the metal membrane which serves as an electrode ranging over a level difference is carried out, patterning cannot be carried out as a design but problems, such as short-circuit of wiring and opening, arise as the result. Furthermore, in case oxidation treatment is performed, stress arises in the substrate near a level difference, and problems, such as a crystal defect, arise.

[0105] For example, how to carry out flattening of the front face, using the CMP method or the RIE method as an approach of canceling this kind of level difference can be considered. The latter approach is in the condition which covered the field with a lower front face by mask film, such as an oxide film, and is an approach of etching a field with a higher front face by the RIE method, and canceling a level difference. However, since the thing [ any ] approach also cancels a level difference, it will be necessary to add one or more processes independently, and the increment in a routing counter and complication of a production process will be caused.

[0106] So, in this invention, array formation of two or more trenches with a beforehand small aspect ratio is carried out also to the field which does not form a cavity 5. The trench formed at this time is a small trench (dummy trench) which is the aspect ratio which cannot form a cavity in the lower part of a trench, and that consistency is designed so that the level difference

predicted can be canceled. Thus, by forming the designed trench beforehand, the level difference of the formation field edge of a cavity 5 is easily cancelable.

[0107] Hereafter, the formation approach of the SON substrate using the above-mentioned improvement technique is explained, referring to drawing 15.

[0108] First, as shown in drawing 15 (a), like the 1st operation gestalt, the mask material 2 and the photoresist pattern 3 are formed on a silicon substrate 1, the mask material 2 is etched by using the photoresist pattern 3 as a mask, and the pattern of the photoresist pattern 3 is imprinted to the mask material 2.

[0109] Next, as shown in drawing 15 (b), after exfoliating the photoresist pattern 3, patterning of the silicon substrate 1 is carried out by using the mask material 2 as a mask, and array formation of a trench 4 and 4' is carried out. Here, the aspect ratios of a trench 4 and 4' differ mutually, and consistencies differ mutually similarly. About an aspect ratio and a consistency, it mentions later.

[0110] Next, as shown in drawing 15 (c), a hydrogen fluoride water solution removes silicon oxide 2.

[0111] Next, the silicon substrate 1 of this condition is heat-treated in a reducing atmosphere. By this heat treatment, the surface migration of silicon arises so that the surface energy of a silicon substrate 1 may become min.

[0112] Consequently, it changes, as the configuration of a field where the trench 4 was formed is shown in drawing 15 (d) and drawing 15 (e), and the tabular cavity 5 is formed into a silicon substrate 1. At this time, the substrate front face on the field in which the cavity was formed becomes low compared with the time of the process of drawing 15 (a).

[0113] It changes, as the configuration of a field where trench 4' was formed is shown in drawing 15 (d) and drawing 15 (e) on the other hand, and a cavity 5 is not formed although trench 4' disappears. At this time, the substrate front face on the field where trench 4' disappeared becomes low to the same extent as the substrate front face on the field in which the cavity was formed. Consequently, a cavity 4 can be formed into a silicon substrate 1, without causing a level difference as shown in drawing 14 (b).

[0114] Hereafter, each process is explained to a detail.

[0115] First, the configuration and the number of a cavity which are obtained to an early trench configuration are explained using drawing 16 and drawing 17. As shown in drawing 16, when an early trench configuration is a cylinder-like, the configuration of the cavity obtained is spherical. It is  $RR$  about the radius of the trench of the shape of an early cylinder. If it carries out, it is the radius  $RS$  of a spherical cavity. \*\*\*\*  $\lambda$  between two spherical cavities where  $1.88RR(s)$  and the upper and lower sides adjoin each other is  $8.89RR(s)$ . It becomes.

[0116] Therefore, as shown in drawing 17, the number of the cavity obtained estimates by breaking depth  $L$  of the trench of the shape of an early cylinder at intervals of  $[\lambda]$  a cavity. this invention person etc. formed the radius  $RR = 0.2\text{micrometer}$  trench, and changed and investigated the depth  $L$  to 1 micrometer and 2 micrometers.

[0117] Consequently, during heat treatment of the same conditions, for example, a hydrogen ambient atmosphere, to 1100 degrees C, 10Torr, and 10min, when the depth was 1 micrometer, the trench disappeared and flattening of the substrate front face was only carried out. On the other hand, when the depth was 2 micrometers, one spherical cavity was formed. This result was in agreement with the number of the cavity estimated from the graph shown in drawing 17, and it checked that the trial calculation of the number of a cavity could be made using drawing 17.

[0118] Next, the aspect ratio of the trench to form and a consistency are described. A trench 4 is for forming a cavity 5 in a substrate 1. For that purpose, it is necessary to make the aspect ratio of a trench 4 or more into five. Moreover, in order to form the tubular or tabular cavity 5, it is necessary to arrange a trench 4 beforehand a line or in the shape of a grid. To the radius  $R$  of a trench 4, it is necessary to set up the spacing  $D$  of trench 4 comrades in that case so that it may be set to  $D < 4R$ .

[0119] On the other hand, trench 4' is for canceling the level difference produced when forming a cavity 5, and is \*\*. For that purpose, it is necessary to make the aspect ratio of trench 4' or less into three so that a cavity may not be produced in a silicon substrate 1. Moreover, the



consistency of trench 4' is decided with the magnitude of a level difference. For example, when the consistency was formed for with radius [ of 0.2 micrometers ], and a depth of 2 micrometers trench 4' as 1.6 (/micrometer<sup>2</sup>) per unit area, the level difference after forming a cavity 5 was 0.12 micrometers. What is necessary will be just to form that consistency for with radius [ of 0.5 micrometers ], and a depth of 2 micrometers trench 4' as 0.76 pieces (/micrometer<sup>2</sup>) in this case.

[0120] As stated above, when carrying out array formation of the trench used as a cavity according to this operation gestalt, the level difference produced at the formation field edge of the cavity in a silicon substrate can be easily canceled by carrying out array formation of two or more dummy trenches with which the aspect ratio and the consistency were designed so that it might not become a cavity at coincidence, without causing the increment in a routing counter, and complication of a production process. Other configurations are sufficient although the case where the configuration of a cavity was tabular was explained especially here. That is, if the approach described here is a cavity which a level difference produces, it is [ that there is nothing with regards to the configuration ] effective.

[0121] (6th operation gestalt) this operation gestalt -- the 1- other improvement techniques applicable to the 4th operation gestalt are explained. In the formation approach of a SON substrate of having plate-like ESS mentioned above, when forming ESS of a large area, there is a problem that plate-like ESS will be crushed.

[0122] When ESS width of face is as small as 20 micrometers, as shown in drawing 18 (a), plate-like ESS is not crushed, but when ESS width of face is as large as 180 micrometers, as shown in drawing 18 (c) which is drawing 18 (b) and its enlarged drawing, specifically, plate-like ESS will be crushed. In addition, in drawing 15, heat treatment for changing a trench into ESS was considered as heat treatment of 1100 degrees C in the inside of 100% hydrogen ambient atmosphere, 10Torr, and 10min.

[0123] It became clear that it can avoid crushing ESS even if it enlarges ESS width of face by devising a header and heat treatment for changing a trench into ESS further for a formula effective in calculating ESS of the size which is not crushed so that it may explain in full detail below wholeheartedly according to research, such as this invention person.

[0124] First, the result of having calculated the reinforcement of ESS structure is explained. The model of ESS structure used for the above-mentioned count at drawing 19 is shown. ESS width of face is set to a (micrometer), and thickness of the silicon layer on b (micrometer) and ESS is set to t (micrometer) for ESS depth. The bending delta of a silicon layer (micrometer) is expressed with a formula (1) at this time.

[0125]

$$\Delta = \alpha P a^4 / E t^3 \quad \text{-- (1)}$$

Here, P expresses the load concerning a silicon layer. E expresses Young's modulus and, in the case of silicon, is  $E = 0.13 \text{ (N/micrometer}^2\text{)}$ . alpha is the multiplier of the non-dimension which changes according to ESS structure ( $=b/a$ ), in the case of  $b/a \geq 2$ , ESS structure is 0.0284 in a rectangle, and, in the case of  $b/a = 1$ , ESS is given with a square 0.0138. The following count shows the case of  $b/a \geq 2$ .

[0126] First, the self-weight was considered as a load concerning a silicon layer. As a result of calculating bending by self-weight to ESS structure ( $t = 1 \text{ micrometer}$  and  $a = 180 \text{ micrometers}$ ), it turned out that it is extent small [ very ] and disregarded with  $\Delta = 5.2 \times 10^{-6} \text{ (micrometer)}$ . Furthermore, when the trial calculation was made as  $a = 1 \text{ mm}$  as bigger structure, also in the case of the ESS structure of  $\Delta = 5 \times 10^{-3} \text{ (micrometer)}$  and a large area, it turned out that the bending by self-weight is fully small. The above count result showed that the formation of a form status change by self-weight was hardly influential.

[0127] Next, the load by the difference of the pressure inside ESS and an atmospheric pressure was considered. The pressure inside ESS is [ whether it is equivalent to the pressure at the time of heat treatment at the time of ESS formation, and ] less than [ it ]. It follows, for example, when the pressures of heat treatment are 10Torr(s), the load of atmospheric pressure ( $1.013 \times 10^{-7} \text{ (N/micrometer}^2\text{)}$ ) will be applied mostly.

[0128] Then, bending by the atmospheric pressure load was calculated to ESS ( $t = 1 \text{ micrometer}$



and  $a = 180$  micrometers) like the case of count of a self-weight. Consequently, it was as large as  $\Delta = 23.2$  micrometers, and it turned out that ESS will be crushed. On the other hand, when  $a = 20$  micrometers and ESS width of face were made small, it turned out that form status change-ization by  $\Delta = 3.5 \times 10^{-3}$  micrometer and the pressure load can also be disregarded. This is well in agreement with the result shown in drawing 18, and means that ESS which has the size which can avoid crushing using a formula (1) can be designed.

[0129] Next, the trial calculation of what magnitude of ESS is actually realizable using a formula (1) was made. How much it bending to plate width of face (ESS width of face) in drawing 20, when thickness  $t$  of a silicon layer is 0.1 micrometers and 1 micrometer, and the calculated result are shown.

[0130] Drawing 20 shows that the bending  $\Delta$  of a silicon layer is fully small, also when thick and thickness  $t$  of a silicon layer sets ESS width of face to 20 micrometers with 1 micrometer. On the other hand, it turns out that thickness  $t$  0.1 micrometers or more of a silicon layer bends even when ESS width of face is 10 micrometers in being thin, 0.1 micrometers and. Since the thickness of ESS is comparable as thickness  $t$  of a silicon layer, it can expect that ESS will be crushed. That is, when thickness  $t$  of a silicon layer was 0.1 micrometers, it turned out that ESS width of face cannot realize ESS with a magnitude of about 8 micrometers or more.

[0131] this invention person etc. found out that the process sequence shown in drawing 21 was effective as an approach of forming ESS of a large area. That is, after performing 1st heat treatment for forming ESS structure, 2nd heat treatment is performed continuously, without opening a chamber, and the pressure inside ESS is adjusted.

[0132] The 1st heat treatment is processing for forming ESS. Therefore, as for the 1st heat treatment, it is desirable to carry out the condition under the elevated temperature and reduced pressure which the surface migration of Si tends to produce on the surface of a silicon substrate, for example, it should just perform it under the conditions of 1100 degrees C, 10Torr, and 10min. The ambient atmosphere of heat treatment has [ that what is necessary is just the ambient atmosphere of a non-oxidizing quality ] desirable 100% hydrogen ambient atmosphere.

[0133] The 2nd heat treatment is processing for adjusting the pressure inside ESS. Therefore, it is desirable to perform 2nd heat treatment the condition under low temperature and high pressure. The ambient atmosphere of heat treatment has the ambient atmosphere containing an element with the large diffusion coefficient in the inside of silicon, for example, the ambient atmosphere containing hydrogen, and desirable 100% hydrogen ambient atmosphere. The diffusion coefficient  $D$  of hydrogen ( $\text{cm}^2 / \text{s}$ ) is given by the formula (2).

[0134]

$$D = 4.2 \times 10^{-5} \exp(-0.56/kT) \quad (2)$$

$k$  is a Boltzmann's constant and  $T$  is absolute temperature (K). By the formula (2), the diffusion length of the hydrogen in 200 degrees C estimates it as 1 micrometer in 60 seconds. Therefore, heat treatment of 200 degrees C and low temperature can also be diffused to the interior of ESS, and, as for hydrogen, can carry out adjustable [ of the pressure inside ESS ] effectively as the result. That is, the pressure inside ESS is changeable into a pressure equivalent to the pressure at the time of heat treatment by performing 2nd heat treatment in a hydrogen ambient atmosphere.

[0135] Moreover, considering that a pressure also decreases in proportion to temperature, a pressure will become low in the temperature fall process under 2nd heat treatment from an ideal gas law ( $PV = nRT$ ). Therefore, it is desirable to perform 2nd heat treatment under pressurization beforehand. For example, what is necessary is just to let the pressures of heat treatment at 600 degrees C be three atmospheric pressures, when temperature of the 2nd heat treatment is made into 600 degrees C.

[0136] Since the load by the differential pressure of the pressure inside ESS and an atmospheric pressure can be reduced or abolished by adjusting the pressure inside ESS by 2nd heat treatment as stated above, the ESS structure of a large area can be formed more. Moreover, it becomes possible to form a component on a SON layer, maintaining the configuration, even if it made the SON layer thin for device production without crushing ESS.

[0137] (7th operation gestalt) When producing a transistor in the silicon layer on ESS of a SON

substrate (SON layer), in order to fully pull out the merit of a SON substrate, it is necessary to set thickness of a SON layer to 0.1 micrometers or less. However, a SON layer will bend greatly according to a pressure load as it mentioned above, when thickness of the SON layer of a large area was made thin.

[0138] It bends with the thickness of the SON layer for which it asked by count which used the formula (1) for drawing 22, and relation with an amount is shown. ESS width of face of a SON layer was set to 20 micrometers. When thickness of a SON layer is made thin from drawing 22 to 0.1 micrometers to such a small thing that the bending can be disregarded after producing the thickness of a SON layer as 1 micrometer, the amount of bending is as large as 1 micrometers or more, and it turns out that ESS structure will be crushed.

[0139] If the above-mentioned result is taken into consideration, it can be said that it is effective to carry out before a thin film chemically-modified [ of the SON layer at the time of device production ] degree after the 2nd heat treatment forms ESS structure by 1st heat treatment. In the 2nd heat treatment, a thin SON layer can be formed by raising the pressure inside ESS near the atmospheric pressure, without crushing ESS.

[0140] In addition, the 15th operation gestalt explains further the technique which prevents crushing of plate-like ESS of a large area. However, since it is not necessary to take the load by differential pressure into consideration when a part forms cavernous 5' which carried out opening at the time of formation of a cavity, as shown in drawing 10, ESS which has the large area to size which bending by self-weight does not influence can be formed.

[0141] (8th operation gestalt) This operation gestalt explains the SON substrate which can solve the trouble which has the same effectiveness as the silicon substrate (distortion substrate) by which the SiGe layer etc. was embedded directly under the channel, and the above-mentioned distortion substrate has.

[0142] First, the conventional distortion substrate is explained. One of the key objectives of detailed-izing of the transistor in LSI is implementation of the high performance LSI by improvement in the speed of a transistor. However, the gate length of a transistor rushes into a field 0.1 micrometers or less in recent years, and the detailed-ization is becoming difficulty increasingly.

[0143] In such a background, the distortion substrate with which it comes to embed different-species presentation layers, such as for example, a SiGe layer, directly under [ near the front face of a silicon substrate ] a channel is proposed as the implementation approach of the improvement in the speed for which it does not depend on detailed-ization.

[0144] According to this kind of distortion substrate, distortion arises in Si near a substrate front face by the different-species presentation layer, the mobility of a carrier (an electron or electron hole) improves by this, and it becomes possible to realize high performance-ization of a transistor.

[0145] However, embedding different-species presentation layers, such as a SiGe layer, will cause the problem of generating of the crystal defect by grid distortion. This problem becomes so remarkable that germanium concentration of a SiGe layer is made high, in order to enlarge grid distortion. That is, in the conventional distortion substrate, it had become a big problem on a process how the SiGe layer which contains germanium in high concentration is formed in the interior of a substrate, without generating a crystal defect.

[0146] Hereafter, the formation approach of the SON substrate concerning the 8th operation gestalt of this invention which can solve the above-mentioned problem using drawing 23 is explained.

[0147] First, using the well-known lithography method and the well-known RIE method, as shown in drawing 23 (a), array formation of two or more trenches 4 is carried out on the front face of the silicon substrate 1 of the single crystal which has field (100) bearing.

[0148] Next, as shown in drawing 23 (b), in the mixed ambient atmosphere of hydrogen and an argon, by pressure 10Torr, 1100 degrees C, and heat treatment for 3 minutes, the silicon of the front face of a silicon substrate 1 is made to flow, and a cavity 3 is formed. The thickness of the silicon layer 33 on 1.2 micrometers and a cavity 3 (SON layer) was set to 0.6 micrometers by the thickness (dimension of the substrate depth direction) of the cavity 3 formed by such heat

treatment.

[0149] Next, as shown in drawing 23 (c), the trench 10 which arrives at a cavity 5 is formed using a well-known photolithography and etching. The effective area of a trench 10 is a 0.3micrometerx0.5micrometer rectangle, and the depth of a trench 10 is 2.5 micrometers.

[0150] Next, as shown in drawing 23 (d), the front face of a silicon substrate 1 is oxidized thermally, and silicon oxide 32 with a thickness of 0.4 micrometers is formed. As a result of performing such thermal oxidation, the thickness of the SON layer 33 decreased from 0.6 micrometers to 0.4 micrometers.

[0151] Finally, as shown in drawing 23 (e), remove alternatively the silicon oxide 32 on a silicon substrate 1 using the RIE method, silicon oxide 32 is made to save alternatively in a cavity 5 and a slot 10, and a SON substrate is completed.

[0152] Thus, when the internal stress in the SON layer 33 of the obtained SON substrate was measured by Raman spectroscopy, it was checked that the hauling nature (tensile) stress of 250MPa exists.

[0153] The cause which such hauling nature stress generated has the direction of a silicon substrate 1 in a coefficient of thermal expansion being larger than silicon oxide 32. Distortion is eased in case a silicon substrate 1 is oxidized at an elevated temperature. On the other hand, in case the hot silicon substrate 1 is lowered to a room temperature, relaxation of distortion does not break out. Consequently, rather than silicon oxide 32, it pulls relatively to the silicon substrate 1 side with a large coefficient of thermal expansion, and sexual stress occurs.

[0154] About the SON substrate which does not form the silicon oxide 32 created for the comparison, when the internal stress in the SON layer was measured similarly, the significant stress value was not seen. This shows that it is useful as an approach the structure acquired at the etching process for saving alternatively the thermal oxidation process for forming silicon oxide 32 and subsequent silicon oxide in a cavity 5 and a trench 10 forms a stress place in the interior of the SON layer 33 intentionally.

[0155] Furthermore, since the SON substrate of this operation gestalt is not performing embedding different-species presentation layers, such as a SiGe layer, the problem of generating of the crystal defect by grid distortion does not arise theoretically.

[0156] Furthermore, even if it compared the SON substrate of this operation gestalt with the conventional oxide-film embedding substrate (SOI substrate), it was found out that it is advantageous structure. Since an oxide film exists under a SOI layer even if it is the conventional SOI substrate, the same effectiveness as the SON substrate of this operation gestalt is theoretically expectable.

[0157] However, since the oxide film is too thin compared with a SOI layer in the case of the conventional SOI substrate, since an oxide film is 1 micrometer or less and a SOI layer is 1mm, big stress cannot be generated in a SOI layer with an oxide film, for example.

[0158] On the other hand, since the thickness of the SON layer 33 equivalent to the SOI layer of the conventional SOI substrate is 0.6 micrometers in the case of the SON substrate of this operation gestalt (i.e., since the SON layer 33 and silicon oxide 32 are comparable thinness), the SON layer 33 can be made to generate big stress.

[0159] The sectional view of the MOS transistor which used and produced the SON substrate of this operation gestalt to drawing 24 is shown. When the mobility of this MOS transistor was measured, 35% of increment was seen compared with what was created on the bulk substrate usual [ conventional ]. Furthermore, mobility was high even if compared with the MOS transistor which created the inside of the MOS transistor formed on the SOI substrate, or a cavity on the SON substrate which has not oxidized.

[0160] compared with it of the MOS transistor which the mobility of the MOS transistor formed on the SON substrate of this operation gestalt formed on the conventional SOI substrate, a high reason is based on the synergistic effect with the condition that parasitic capacitance has been further reduced rather than the SOI substrate conventional in a cavity 5 existing in the interior of a substrate, and realizable of having high stress in a SON layer by silicon oxide 32 — it thinks.

[0161] In addition, although the trench 10 was formed with this operation gestalt after forming a

cavity 5 in order to oxidize the interior of a cavity 5, it is possible also by the approach shown in drawing 25. By this approach, as first shown in drawing 22 (a), two or more trenches 4 and one trench 10 with it are formed in coincidence. [ the large and diameter of puncturing and ] [ deeper than it ] Then, heat treatment for changing two or more trenches 4 into a cavity is performed. However, since the upper part of the big trench 10 is not closed as shown in drawing 25 (b), the cavity of opening structure as shown in drawing 23 (c) will be formed. After this, it is the same as drawing 23 (d) or subsequent ones. In addition, the layout of trenches 4 and 10 is not limited to the thing of drawing 22 (a), but can adopt various layouts.

[0162] Moreover, although the silicon oxide 32 on a substrate front face was alternatively removed with this operation gestalt after forming silicon oxide 32 all over including a substrate front face in order to form silicon oxide 32 only in the inside of a cavity 5 and a trench 10 alternatively, you may make it be the following. That is, after forming antioxidizing film, such as a silicon nitride, alternatively on a substrate front face, only a cavernous inside may be made to oxidize by oxidation treatment.

[0163] Moreover, other film may be formed, although silicon oxide 32 was formed in the interior of cavernous 5 grade with this operation gestalt in order to generate a tensile stress in a SON layer. That is, it is available if it is the film (dissimilar-material film) formed with the ingredient with which single crystal silicon and a coefficient of thermal expansion are different. Furthermore, even if single crystal silicon and a coefficient of thermal expansion are the dissimilar-material film formed with the ingredient which is not greatly different, it is available if distortion can be produced in a semi-conductor film side. As long as it satisfies the above conditions, the film (stress generating film) formed in the interior of a cavity 5 may be an insulator layer or a metal membrane.

[0164] Furthermore, this operation gestalt explained the case where the thickness of the SON layer 33 and silicon oxide 32 was almost the same. In order to enlarge the amount of distortion generated in the SON layer 33 by silicon oxide 32, the ratio of the thickness of the silicon oxide 32 to the thickness of the SON layer 33 is so good that it is large. However, if this ratio is too large, a problem will arise in respect of substrate reinforcement.

[0165] As for the relation with the thickness of the thickness of the semi-conductor layer of SON layer 33 grade, and dissimilar-material film, such as silicon oxide, the ratio of (thickness of semi-conductor layer)/(thickness of the thickness + dissimilar-material film of a semi-conductor layer) became that what is necessary is just the value of the range of 0.1 to 0.9 clear [ things ] from various experiments of this invention person etc.

[0166] Moreover, with this operation gestalt, although silicon oxide 32 was formed in the whole wall of a cavity, as long as it can produce a tensile stress in the SON layer 33, the stress generating film of silicon oxide 32 grade may be formed in a part of cavity.

[0167] (9th operation gestalt) This operation gestalt explains the SON substrate which can solve the trouble which has the same effectiveness as the silicon substrate (distortion substrate) by which the SiGe layer etc. was embedded directly under the channel, and the above-mentioned distortion substrate has.

[0168] Drawing 26 is the sectional view showing the formation approach of the SON substrate concerning the 9th operation gestalt of this invention.

[0169] First, as shown in drawing 26 (a), array formation of two or more trenches 4 is carried out on the front face of a silicon substrate 1 using the well-known lithography method and the well-known RIE method.

[0170] Next, the whole surface is made to carry out epitaxial growth of the SiGe layer 41 with a thickness of 100nm which contains germanium 30% with an atomic number density ratio so that the inside of a trench 4 may be covered as shown in drawing 26 (b).

[0171] Next, as shown in drawing 26 (c), the cavity 5 where SiGe layer (embedding SiGe layer) 41a exists in the upper part, the lower part, and a flank is formed by making the front face of a silicon substrate 1 flow by 1050 degrees C in the inside of the vacuum of a ten to 7 Pa pressure, and heat treatment for 5 minutes. At this time, SiGe layer (residents SiGe layer) 41b is formed also in the front face of a silicon substrate 1.

[0172] Next, after forming silicon oxide (un-illustrating) in a substrate front face by thermal

oxidation and making high germanium concentration in embedding SiGe layer 41a, above-mentioned silicon oxide and residents SiGe layer 41b is removed. Thereby, germanium presentation ratio of embedding SiGe layer 41a can be made high.

[0173] Finally, as shown in drawing 26 (d), the front face of a silicon substrate 1 is made to carry out epitaxial growth of the silicon layer 42 which does not contain germanium, and a SON substrate is completed.

[0174] Thus, the value was 80MPa(s) when the stress of the silicon substrate 1 on the cavity 5 of the obtained SON substrate and the silicon layer 42 on it was measured. This result showed that it was effective to form embedding SiGe layer 41a in the interior of a substrate as an approach of generating stress intentionally, in the SON layer.

[0175] With this operation gestalt, after forming a trench 4, epitaxial growth of the SiGe layer 41 was carried out, but a trench 4 may be formed after carrying out epitaxial growth of the SiGe layer 41 all over a substrate. In this case, after forming a trench 4, a substrate front face is made to flow by heat treatment, and a cavity 5 and embedding SiGe layer 41a are formed.

[0176] Moreover, it is not necessarily required to form silicon oxide by thermal oxidation after a flow on the front face of a substrate, although it is an effective approach in order to raise germanium presentation ratio of embedding SiGe layer 41a.

[0177] Moreover, in order to form the SON layer which does not contain germanium, it is an effective approach, but forming the Si layer 42 with epitaxial growth after a flow on the front face of a substrate does not need to form the Si layer 42, if the need does not exist on device application.

[0178] The SON substrate of this operation gestalt has the following advantages compared with the substrate which has the conventional SiGe layer 41c shown in drawing 27 .

[0179] With the conventional technique, in order that a defect might form high SiGe layer 41c of germanium presentation ratio few on a silicon substrate 1, the approach of changing germanium presentation of SiGe layer 41c from the condition that concentration is low in the direction of thickness continuously to a high condition by considering a silicon substrate 41 as seed (seed) was taken. Therefore, the thickness of SiGe layer 41c is set to about hundreds of nm. That is, it is necessary to form the SiGe layer 42 thickly.

[0180] On the other hand, with this operation gestalt, since SiGe layer 41a equivalent to the conventional SiGe layer 41c is formed by the surface migration of Si and SiGe ( drawing 26 (c)), a defect is not produced in SiGe layer 41a on a cavity 5. Therefore, it is not necessary to form SiGe layer 41a thickly, and the thickness can be made thin to dozens of nm. This situation is shown in drawing 28 . Many defects occur in the silicon substrate 1 in the field 43 where the cavity 5 is not formed downward, and the silicon layer 42, and defect density becomes high. Into the silicon substrate 1 in the field 44 where the cavity 5 was formed in the bottom which is the field which creates a component on the other hand, and the silicon layer 42, a defect does not occur at all substantially but defect density becomes low enough.

[0181] Although SiGe was used as an ingredient of the dissimilar-material film (SiGe layer 41a) with this operation gestalt, it is possible to use other different ingredients from a substrate ingredient (Si) like the 8th operation gestalt.

[0182] Furthermore, like the 8th operation gestalt, when the ratio of (thickness of semi-conductor layer)/(thickness of the thickness + dissimilar-material film of a semi-conductor layer) was the value of the range of 0.1 to 0.9, as for the relation with the thickness of the thickness of the semi-conductor layer of Si layer 42 grade, and the dissimilar-material film of SiGe layer 41 grade, it was checked that effectiveness of this invention is realized. As long as it can produce a tensile stress in a SON layer, the SiGe layer 41 may be formed in a part of cavity further again.

[0183] (10th operation gestalt) This operation gestalt explains the example which applied the ESS technique of this invention to production of a photograph nick crystal.

[0184] A photograph nick crystal can be formed by forming periodically the ingredient with which refractive indexes differ. The photograph nick crystal attracts attention as a new optical material for realizing a micro optical integrated circuit.

[0185] Moreover, from the ability of a photograph nick crystal to be formed on silicon, the problem on old mounting can be avoided and implementation of the future optoelectronic

integrated circuit united with the CMOS process is expected.

[0186] Although mostly proposed as the production approach of a photograph nick crystal until now, the manufacture approach was difficult for especially the photograph nick crystal of a three dimension. Moreover, although the combination of an ingredient with the large difference of a refractive index is desirable, for example, the combination of silicon and air is ideal, the formation approach is made very difficult.

[0187] The mimetic diagram of the three-dimension period structure (photograph nick crystal) concerning the 10th operation gestalt of this invention which can solve the above-mentioned problem to drawing 29 is shown. In drawing, 51 shows the silicon substrate and the globular form cavity 52 (the color is deeply shown in order to the depth direction) of the same size is periodically arranged in three dimension in this silicon substrate 51.

[0188] Next, the manufacture approach of the three-dimension period structure of this operation gestalt is explained using drawing 30.

[0189] First, as shown in drawing 30 (a) -30(c), the mask pattern (un-illustrating) which consists of an oxide film etc. is formed on a silicon substrate 51, a silicon substrate 51 is etched by the reactive-ion-etching method, array formation of the trench 52 of the same diameter of puncturing is carried out [ this mask pattern is used as a mask, ] two-dimensional in the same depth, and that account mask pattern of Gokami is removed.

[0190] next, drawing 30 (d) - as shown in 30 (f), two or more globular form cavities (ESS) 53 where size was equal to the silicon substrate 51 in which the trench 52 was formed in the silicon substrate 51 by performing heat treatment under an elevated temperature and reduced pressure in the ambient atmosphere of a non-oxidizing quality form the cavernous pattern arranged periodically. The cavernous pattern with which the cavity was arranged at equal intervals on the same line about the depth direction of a substrate, and the cavity was specifically arranged in the shape of a grid about the inside of the same flat surface in a substrate is formed.

[0191] Heat treatment for forming a cavity 53 is for causing the surface migration of silicon. Therefore, it is desirable to remove completely the natural oxidation film on the front face of a substrate before the above-mentioned heat treatment. In order to fully remove the natural oxidation film, it is effective to maintain the ambient atmosphere of heat treatment at a non-oxidizing quality. In order to realize this easily, it is desirable to make the ambient atmosphere of heat treatment into the ambient atmosphere of 100% of hydrogen. Moreover, in order to promote the surface migration of silicon, it is desirable to perform heat treatment by the pressure of 10 or less Torrs. As typical heat treatment conditions, 1100 degrees C and a pressure are raised for a hydrogen ambient atmosphere and temperature 100%, and 10min is raised [ an ambient atmosphere ] for 10Torr(s) and time amount.

[0192] Here, although the case where it heat-treated after removing a mask pattern was shown, you may heat-treat, without removing a mask pattern. However, it is necessary to remove a mask pattern after heat treatment in this case, to heat-treat again, and to carry out flattening of the substrate front face.

[0193] The three-dimension period structure of this operation gestalt serves as a photograph nick crystal which has a forbidden band to light in order to arrange periodically the ingredient (silicon / cavity, i.e., air) with which refractive indexes differ. The scale of all (the period/wavelength of a cavity 5) the wavelength dependencies that are one of the photograph nick crystal characteristics is carried out. Therefore, the photograph nick crystal which operates on desired wavelength can be created by [ which responded the period of a cavity 5 to operating wavelength ] carrying out a basis.

[0194] Changing the magnitude and the depth of a path of a trench 52 about the period of the depth direction as a concrete approach of controlling the period of a cavity 5 is raised. Changing the period of the array of a trench 52 about the period of a direction perpendicular to the depth direction on the other hand is raised.

[0195] As stated above, according to this operation gestalt, the three-dimension period structure which the big ingredient (silicon: 3.6/air : 1) of a refractive-index difference comes to combine is easily realizable by using the surface migration of silicon. This three-dimension period structure operates as a photograph nick crystal which can control light. Therefore, the three-

dimension period structure of this operation gestalt can be operated as optical elements, such as optical waveguide, a polarizer, and prism.

[0196] Furthermore, according to the above-mentioned approach, the period of a cavity 5 can be set to about 1 micrometer or less. That is, a detailed optical element can be formed into a silicon substrate. It enables this to produce easily the photoelectron circuit with which the optical element and the CMOS process were united.

[0197] (11th operation gestalt) Drawing 31 is the mimetic diagram of the three-dimension period structure (photograph nick crystal) concerning the 11th operation gestalt of this invention. The point that this operation gestalt differs from the 10th operation gestalt has 53s of cavities and 53l. of cavities where sizes (diameter) differ in a silicon substrate 51 in having arranged periodically.

[0198] About the depth direction of a substrate, two or more globular form 53s of cavities and 53l. (the color is deeply shown in order to the depth direction) of cavities of the same size is arranged at equal intervals on the same line, respectively, and, specifically, 53s of cavities and 53l. of cavities where sizes differ about the inside of the same flat surface in a substrate are arranged in the shape of a grid, respectively.

[0199] Next, the manufacture approach of the three-dimension period structure of this operation gestalt is explained using drawing 32.

[0200] First, as shown in drawing 32 (a) -32(c), the mask pattern (un-illustrating) which consists of an oxide film etc. is formed on a silicon substrate 51, this mask pattern is used as a mask and array formation of the trench 52s and trench 52l. from which a silicon substrate 51 is etched by the reactive-ion-etching method, and the diameter of puncturing differs mutually in the same depth is carried out at the shape of a grid. Then, the above-mentioned mask pattern is removed.

[0201] By next, the thing for which heat treatment under an elevated temperature and reduced pressure in the ambient atmosphere of a non-oxidizing quality is performed to the silicon substrate 51 in which trench 52s and trench 52l. was formed as shown in drawing 32 (d) -32(f) Spherical 53s of cavities and 53l. of cavities which had complete set of size in the depth direction in the silicon substrate 51 arranges periodically, and different 53s of cavities and 53l. of cavities of size form the cavernous pattern arranged periodically by turns in the direction perpendicular to the depth direction. In addition, as the 10th operation gestalt described, you may heat-treat, without removing a mask pattern.

[0202] Thus, it can consider that the silicon substrate 51 which has the obtained cavernous pattern is the photograph nick crystal which can control light like the 10th operation gestalt, and it can be operated as an optical element.

[0203] The period of a cavity, i.e., operating wavelength, is controllable also by this operation gestalt by the same approach as the 10th operation gestalt. Since the cavities 52s and 52l. where sizes differ are furthermore used according to the operation gestalt, operating wavelength is more controllable to a large area by using the difference in the size.

[0204] In the 10th and 11th operation gestalten, when Cavities 52, 52s, and 52l. are formed by heat treatment in the ambient atmosphere containing hydrogen, hydrogen remains in these interior. Furthermore, according to this invention person's etc. research, it checked that Cavities 52, 52s, and 52l. consisted of polyhedrons which were able to take the angle. Polyhedrons which have predetermined field bearing were consisted of more by accuracy.

[0205] Furthermore, by having investigated the field whose field bearing of the field which constitutes a polyhedron is the principal plane of a silicon substrate (100), and the include angle to make showed the following things. That is, it became clear that the field which constitutes a polyhedron consists of {100} plane groups, {110} plane groups, {111} plane groups, {311} plane groups, {531} plane groups, and {541} plane groups. Since these plane groups have low surface energy, the above-mentioned cavity can be thermally referred to as stable.

[0206] (12th operation gestalt) Here, it applies to the operation gestalt which applied the ESS technique of this invention to the optical integrated circuit, especially optical waveguide, and an operation gestalt is explained.

[0207] In an optical-integrated-circuit technique, light corpuscle children, such as an optical passive element and a light emitting device, are formed on semi-conductor substrates, such as



Si substrate or a GaAs substrate, and optical waveguide is formed considering a quartz (SiO<sub>2</sub>) as a principal component apart from a light corpuscle child. Therefore, it will be necessary to make light spread all over a semiconductor region inevitably in the connection of optical waveguide and a light corpuscle child.

[0208] As one of the approaches which makes light spread all over a semiconductor region, the direction of Si is SiO<sub>2</sub>. There is a method of using that a refractive index is large. This approach is setting to about several times as much about 5 micrometers or less as the wavelength of the above-mentioned light the path of the optical waveguide formed by Si, and carrying out total reflection of the light by the interface (Si/SiO<sub>2</sub> interface) of optical waveguide and Si field of that perimeter, and shuts up light all over Si field.

[0209] In the optical waveguide which uses Si as a principal component, in order [ the ] to shut up and to raise a sex, as the refractive index of the matter of the perimeter is low to Si, it is more desirable. The refractive index of Si is SiO<sub>2</sub> to being 3.4. A refractive index is 1.5.

[0210] SiO<sub>2</sub> If it is called the medium which has a low refractive index, naturally it will be a vacuum (refractive index = 1). It will be made realistic not through a vacuum but through air. The implementation is difficult although it is possible to use for example, a SOI substrate as an approach of making air the perimeter of Si field used as optical waveguide.

[0211] The pattern which has the top face and side face which the reason is etching Si field of a SOI substrate, and Si exposed is SiO<sub>2</sub> of a SOI substrate, although it can form easily. A field is etched and it is SiO<sub>2</sub> under the above-mentioned pattern. It is because it is difficult to remove only a field alternatively.

[0212] Drawing 33 is the perspective view showing the optical waveguide concerning the 12th operation gestalt of this invention. In drawing, 61 shows the silicon substrate of the single crystal which has field (100) bearing, and the Si pattern 62 whose perimeter of a top face, a side face, and a base is air is formed in this silicon substrate 61.

[0213] The air of the Si pattern 62 and its perimeter constitutes optical waveguide. The wavelength of 1.4 micrometers spreads in this optical waveguide. In an actual optical circuit, the end of the Si pattern 62 is connected with the light-emitting part of the optoelectronic device which is not illustrated, and the other end is connected with the light sensing portion of the optoelectronic device which is not illustrated.

[0214] Such optical waveguide can be easily formed using the ESS technique expressed until now. First, two or more trenches are formed in the front face of a silicon substrate 61 using the well-known lithography method and the RIE method. Next, by hot heat treatment in reducing atmosphere, the surface migration of silicon is caused and the cavity (ESS) of a large area is formed in a silicon substrate 61. And the part which is not used as an Si pattern 62 among the silicon fields on the cavity of a silicon substrate (SON layer) is alternatively removed using the well-known lithography method and the RIE method.

[0215] The perspective view of the optical waveguide using the conventional SOI substrate is shown in drawing 34. drawing -- setting -- 61 -- a silicon substrate and 63 -- SiO<sub>2</sub> A layer and 64 show Si pattern which processed and formed the silicon substrate. Although the perimeter of the top face of the conventional Si pattern 64 and a side face is air like the Si pattern 62 of this invention, bases differ in the Si pattern 62 of this invention, and it is SiO<sub>2</sub>. It is a layer 63. SiO<sub>2</sub> A refractive index (= 1.5) is large compared with the refractive index (= 1.0) of air.

[0216] Therefore, the quantity of light of optical waveguide of this invention shown in drawing 33 which leaks and comes out outside compared with the conventional optical waveguide shown in drawing 34 decreases overwhelmingly, and it can be said that it is a thing with the property (optical confinement property) which was excellent as optical waveguide.

[0217] As stated above, optical waveguide which has a good optical confinement property according to this operation gestalt can be realized, and it becomes possible to realize an optical integrated circuit with little optical loss as the result.

[0218] (13th operation gestalt) Passive elements, such as an inductor and a capacitor, are formed on a semi-conductor substrate like active elements, such as a transistor. The parasitic capacitance between a passive element and a semi-conductor substrate and parasitism resistance (eddy current loss: eddy-current loss) are strong.



[0219] Therefore, if the frequency of the signal with which the conventional inductor and a capacitor flow to it turns into high frequency of 1GHz or more, the following problems will arise. That is, the problem that Q value becomes low about an inductor and it becomes difficult to obtain highly precise capacitance about a capacitor arises.

[0220] This invention forms a passive element on the silicon substrate on a plate-like cavity, using the silicon substrate which has a plate-like cavity as a semi-conductor substrate, in order to solve the above-mentioned problem. With such a configuration, parasitic capacitance between a passive element and a semi-conductor substrate and parasitism resistance can be effectively made small, and the problem mentioned above can be solved.

[0221] The top view and sectional view of a semiconductor device which have the inductor which applied this invention to drawing 35 are shown. Moreover, the sectional view of the semiconductor device which has the MIM capacitor which applied this invention to drawing 36 is shown. In a spiral inductor and 73, setting to drawing, a metal electrode and 74 show an insulator layer and 75 shows [ a cavity (ESS) plate-like / 70 / in a silicon substrate and 71 and 72 ] the metal electrode, respectively. Both an inductor and a capacitor may be formed on a silicon substrate 70.

[0222] The formation approach of a silicon substrate 70 of having the plate-like cavity 71 may use which formation approach of the operation gestalt mentioned above. after forming such a silicon substrate 70 -- as usual -- alike -- passive elements, such as an inductor, -- an active element and wiring layers, such as a transistor, are formed further. The reason for forming a passive element etc. after formation of a cavity 71 is that an elevated temperature needs to be heat-treated for formation of a cavity 71.

[0223] (14th operation gestalt) The densification of a device or a module and advanced features are progressing in the field of a semi-conductor in recent years. The calorific value of a device etc. increases with such densification and advanced features, and heat dissipation is becoming very difficult.

[0224] As one of the conventional heat dissipation approaches, a radiation fin is attached in a device or a package, the heat from a device etc. is told to a fin by heat conduction, and the approach of missing heat in air by heat conduction from a fin is learned. However, if calorific value increases as mentioned above, sufficient heat dissipation effectiveness will be acquired and will be lost. Then, heat dissipation by a miniaturization and forced-air cooling (fan) of the whole device has become in use in recent years. However, it is becoming difficult to still acquire the required heat dissipation effectiveness.

[0225] In mainframes, such as a supercomputer, cooling by refrigerants, such as liquid nitrogen or chlorofluorocarbon, is in use. Applying this cooling approach to a semiconductor device etc. is also considered. However, the problem of a terminal, wiring, etc. corroding arises with the impurity which exists in the above-mentioned refrigerant.

[0226] In order to solve the above-mentioned problem, the silicon substrate containing two or more cooling pipes for pouring a refrigerant as a semi-conductor substrate is used for this invention. Since with such a configuration a silicon substrate can be effectively cooled even if the calorific value of the device accompanying densification and advanced features etc. increases by pouring a refrigerant to a cooling pipe, the problem of heat dissipation can be solved. Furthermore, since a refrigerant flows the interior of a substrate where a terminal etc. does not exist, the problem of corrosion does not arise.

[0227] The perspective view of a silicon substrate which has the cooling pipe (cooling structure) applied to the 14th operation gestalt of this invention at drawing 37 is shown. In drawing, 81 shows a silicon substrate and 82 shows the cooling pipe, respectively. In addition, in case a silicon substrate is cooled, the refrigerant feeder style which is not illustrated is prepared.

[0228] Next, the manufacture approach of the semiconductor device using the silicon substrate which has the cooling pipe of this operation gestalt is explained using drawing 38 .

[0229] First, the Si wafer 83 is prepared. In drawing, 84 shows the scribe line.

[0230] Next, using the ESS technique of this invention, two or more plate-like cavities (hollow structure) 85 are formed so that it may intersect perpendicularly to the scribe line 84. The formation approach of the plate-like cavity 85 may use which formation approach of the

operation gestalt mentioned above. Preferably, the pattern of two or more trenches is designed so that the cylinder-like cavity 85 may be formed.

[0231] Then, a required component, wiring, etc. are formed on the silicon field on the cavity 85 of Si wafer according to the well-known approach, and two or more semiconductor devices (un-illustrating) which have a desired function are formed in the Si wafer 83.

[0232] Finally, it cuts by the approach of common knowledge of Si wafer along the scribe line 84, and two or more chips are picked out from one Si wafer 83. Since a cavity 85 is cut at this time, a cooling pipe is completed to coincidence.

[0233] (15th operation gestalt) This operation gestalt explains the technique which prevents crushing of different plate-like ESS from the 6th and 7th operation gestalt. The main point of this operation gestalt is to form Si column for preventing crushing in the interior of a cavernous field. Such an Si column can be formed by the following approaches.

[0234] First, the mask material which consists of an oxide film etc. is formed on a silicon substrate, and a photoresist pattern is formed on it. What was explained with the 1st operation gestalt, and the same thing of mask material are usable.

[0235] Next, patterning of the mask material is carried out by anisotropic etching, for example, RIE, by using a photoresist pattern as a mask, and the pattern of a photoresist pattern is imprinted to mask material.

[0236] Next, after carbonizing a photoresist pattern and exfoliating, patterning of the silicon substrate is carried out by anisotropic etching, for example, RIE, by using as a mask the mask material by which patterning was carried out, and array formation of two or more trenches is carried out two-dimensional on the front face of a silicon substrate. Here, a trench 4 is not formed in the field which forms Si column as shown in drawing 39 (a).

[0237] Although the example which removed one trench was shown in drawing, two or more trenches may be removed. The magnitude of Si column is changeable with the number of the trenches to remove.

[0238] While forming one plate-like cavity 5 in the interior of a silicon substrate 1 finally by performing elevated-temperature annealing in the reducing atmosphere under reduced pressure as shown in drawing 39 (b) after removing the mask material 2, two Si columns 1p is formed in the interior of a cavity 5.

[0239] Next, in order to prevent crushing of ESS, arrangement of effective Si column is explained. Si column is prepared in order for the differential pressure of the external pressure of the cavity 5 after the time of formation of a cavity 5 or formation and the internal pressure of a cavity 5 to protect that a cavity 5 is crushed.

[0240] Then, it was tried to investigate thickness  $t$  ( $= 0.1$  micrometers,  $1$  micrometer) of the silicon substrate on a cavity 5 (henceforth a silicon layer), and relation with the amount  $\delta$  of bending of a silicon layer. The result is shown in drawing 40. Regardless of the width of face of a cavity, the way when a silicon layer is thin bends, and drawing shows that an amount  $\delta$  is large.

[0241] What is necessary is just to set width of face  $W$  of a cavity 5 to  $5$  micrometers or less, when the thickness of a silicon layer is  $0.1$  micrometers in order to make the amount  $\delta$  of bending small for example. The amount  $\delta$  of bending in this case serves as magnitude without the problem of  $0.02$  micrometers or less.

[0242] In order to estimate the spacing to be accuracy more, the bending formula of a silicon layer was used and it investigated at intervals of how much Si column should have been arranged to the thickness of a silicon layer. When the amount  $\delta$  of bending was below one half of the thickness of a silicon layer, the fact that big it was not influenced showed that ESS could be formed satisfactory in arranging Si column so that the inequality (3) about the width of face  $w$  of the thickness of the following silicon layer might be filled.

[0243]

$w \leq t \frac{1}{4} (E/0.0568P)$  (3) Here, the load (pressure) (N/micrometer<sup>2</sup>) which  $E$  requires for the Young's modulus ( $= 0.13$  (N/micrometer<sup>2</sup>)) of silicon, and  $P$  requires for a silicon layer is shown.

[0244] It will be set to  $6.9$  micrometers or less, if it asks for spacing of Si column required in order to prevent crushing of ESS based on (1) type when the thickness of a silicon layer is  $0.1$

micrometers.

[0245] As stated above, even if a silicon layer is thin, crushing of a cavity 5 by the differential pressure of the external pressure of a cavity 5 and the internal pressure of a cavity 5 can be effectively controlled by forming Si column 1p in a cavity 5. Thereby, the SON substrate which has the cavity 5 of a large area more can be realized now. Furthermore, the degree of freedom of a design of a SON substrate becomes high.

[0246] this invention person etc. estimated the amount of bending of a silicon layer about the SON substrate which has the plate-like cavity 5 where the configuration seen from the top is circular, as shown in drawing 41 .

[0247] In this case, the greatest bending is produced at the core of a circle and the amount delta of bending of a silicon layer is given by the degree type (4).

[0248]

$$\text{delta} = 0.0108Pa^4/(Et^3) \quad (4)$$

Here, a shows a diameter (micrometer) and t shows the thickness (micrometer) of a silicon layer.

[0249] The configuration where the amount of bending of the silicon layer of the SON substrate shown in drawing 41 was seen from the top compares with it of a SON substrate which has the plate-like cavity which is a rectangle.

[0250] The amount of the maximum bending in the case of the disk as the die length of a rectangular shorter side with the same diameter is 3/8 time the amount of the maximum bending in the case of a rectangle. That is, if the diameter is increased 1.27 times when circular, bending of the same magnitude as the case of a rectangle will arise. However, since the amount of the maximum bending does not increase even if it enlarges the die length of a long side in the case of a rectangle, the way of a rectangle can form the cavity of a large area more.

[0251] (16th operation gestalt) Drawing 42 is drawing showing the pressure sensor concerning the 16th operation gestalt of this invention.

[0252] A principal plane among drawing the n mold SON substrate of {100}, and 92 for 91 The cavity of the shape of a rectangle in the n mold SON substrate 91, 931-934 p mold diffusion layer as gage resistance which was formed in the substrate front face on the periphery of a cavity 92 and which constitutes a bridge circuit, and 94 are p+ of high high impurity concentration formed in the substrate front face as wiring. A mold diffusion layer and 95 show metal wiring which consists of metals, such as aluminum, respectively. The metal wiring 95 minds the connection hole by which opening was carried out to the insulator layer which was formed on the n mold SON substrate 91, and which is not illustrated, and is p+. It has connected with the mold diffusion layer 94.

[0253] The pressure sensor of this operation gestalt is the diaphragm-type semi-conductor pressure sensor which used that the SON substrate 91 (silicon layer) on a cavity 92 bent by the differential pressure of an atmospheric pressure and the internal pressure of a cavity 92 outside the cavity 92. When a silicon layer bends by differential pressure, it is p mold diffusion layer 931-934 by the piezoresistance condenser. The value of resistance (gage resistance) changes. This resistance value change is detectable as an electrical signal with a bridge circuit. It enables this to measure the pressure concerning a silicon layer.

[0254] Since a cavity 92 is a vacuum, the pressure measured serves as absolute pressure. What is necessary is just to form the opening 96 connected with a cavity 92 in the rear face of the n mold SON substrate 91, as shown in drawing 43 when the pressure concerning a silicon layer is measured on the basis of atmospheric pressure.

[0255] The degree of bending of a silicon layer is changeable with the thickness of a silicon layer, and its size. Therefore, the pressure range which can measure the pressure sensor of this operation gestalt is controllable by the thickness of a silicon layer, and its size. Therefore, the pressure sensor which can measure a desired pressure range is realizable by choosing the thickness of a silicon layer, and its size suitably.

[0256] The pressure sensor applied to a modification at drawing 44 is shown. A principal plane produces this pressure sensor using n mold substrate 91 of {110}. The variation of resistance according to a piezoresistance condenser but with the same amount of bending of silicon differs

[ a principal plane / a principal plane ] from the SON substrate of {100} by the anisotropy with the SON substrate of {110}. The pressure sensor shown in drawing 43 is p mold diffusion layer 931-934 so that sensibility (the amount of resistance value changes by the piezoresistance condenser) may become large. A pattern is chosen. The pressure sensor corresponding to drawing 43 is shown in drawing 45.

[0257] In addition, this invention is not limited to the above-mentioned operation gestalt. For example, although the above-mentioned operation gestalt explained the case where a silicon substrate was used, this invention is effective also to other semi-conductor substrates, such as a silicon germanium substrate. That is, according to this invention, the thing which is not limited to silicon and which offer reliable SOI (Semiconductor OnInsulator) structure becomes it is cheap and possible.

[0258] Moreover, although two or more trenches 2 which carried out array formation two-dimensional were changed into one plate-like cavity by heat treatment with the above-mentioned operation gestalt, the same operation effectiveness is acquired also by changing into one plate-like cavity the trench of the shape of two or more stripe which carried out array formation in one dimension by heat treatment.

[0259] Moreover, much more improvement in the speed and power-saving are realizable by introducing Cu wiring in addition to the SOI structure of this invention.

[0260] Furthermore, although the above-mentioned operation gestalt showed the early trench 4 about the case where the trench of the straight-way type of the same size as the depth direction is formed, the bottle shape trench which has the vena contracta in the depth direction may be formed. That is, the trench characterized by there being no flat surface which has the minimum cross-sectional area to the depth direction of a trench at the bottom of a trench may be formed. Even if it forms the trench of such a configuration, a plate-like cavity can be effectively formed like the case where a trench 4 is used.

[0261] Furthermore, invention of various phases is included in the above-mentioned operation gestalt, and various invention may be extracted by the proper combination in two or more requirements for a configuration indicated. For example, even if some requirements for a configuration are deleted from all the requirements for a configuration shown in an operation gestalt, when Object of the Invention is solvable, the configuration from which this requirement for a configuration was deleted may be extracted as invention. In addition, in the range which does not deviate from the summary of this invention, it deforms variously and can carry out.

[0262]

[Effect of the Invention] As explained in full detail above, according to this invention, the semi-conductor substrate which has the same effectiveness as SOI structure, without causing the rise of cost and the fall of dependability can be realized now.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] The process sectional view showing the formation approach of the plate-like cavity concerning the 1st operation gestalt of this invention

[Drawing 2] The sectional view for explaining the example from which form status change-ization to one plate-like cavity from two or more slots does not arise

[Drawing 3] The top view of the plate-like cavity formed from the sample layout of a slot and it which showed drawing 1

[Drawing 4] The sectional view showing the example which applied this invention to DRAM/LOGIC mixed loading

[Drawing 5] The process sectional view showing the first half of the manufacture approach of the MOS transistor concerning the 2nd operation gestalt of this invention

[Drawing 6] The process sectional view showing half the inside of the manufacture approach of the MOS transistor concerning the 2nd operation gestalt of this invention

[Drawing 7] The process sectional view showing the second half of the manufacture approach of the MOS transistor concerning the 2nd operation gestalt of this invention

[Drawing 8] The process sectional view showing the manufacture approach of the MOS transistor concerning the 3rd operation gestalt of this invention

[Drawing 9] The sectional view showing the MOS transistor concerning the 3rd operation gestalt of this invention

[Drawing 10] The process sectional view showing the first half of the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention

[Drawing 11] The process sectional view showing the second half of the manufacture approach of the MOS transistor concerning the 4th operation gestalt of this invention

[Drawing 12] The top view of the plate-like cavity formed from the sample layout of a slot and it which showed drawing 10

[Drawing 13] The sectional view showing the MOS transistor concerning the 4th operation gestalt of this invention

[Drawing 14] The sectional view for explaining the point that the formation approach of the SON substrate explained in the 1st - the 4th example should be improved

[Drawing 15] The sectional view showing the formation approach of the SON substrate concerning the 5th example of this invention

[Drawing 16] Drawing for explaining relation with the cavity obtained to an early trench configuration and it

[Drawing 17] Drawing for explaining the number of the cavity obtained to an early trench configuration

[Drawing 18] The microphotography in which it is shown that plate-like ESS will be crushed if ESS width of face becomes large

[Drawing 19] The model of ESS structure used in order to calculate the reinforcement of ESS structure

[Drawing 20] Drawing showing the relation of the plate width of face and bending which were calculated about the ESS structure where the thickness of a silicon layer differs (0.1

micrometers, 1 micrometer)

[Drawing 21] Drawing showing the sequence of heat treatment effective in forming ESS of a large area

[Drawing 22] Drawing in which bending with the thickness of the SON layer for which it asked by count, and showing relation with an amount

[Drawing 23] The sectional view showing the formation approach of the SON substrate concerning the 8th example of this invention

[Drawing 24] The sectional view of the MOS transistor produced using the SON substrate

[Drawing 25] The sectional view for explaining the modification of the formation approach of the SON substrate of the 8th example

[Drawing 26] The sectional view showing the formation approach of the SON substrate concerning the 9th example of this invention

[Drawing 27] The sectional view showing the substrate which has the conventional SiGe layer

[Drawing 28] The sectional view showing the SON substrate concerning the 9th example of this invention

[Drawing 29] The mimetic diagram of the three-dimension period structure concerning the 10th example of this invention

[Drawing 30] The sectional view for explaining the manufacture approach of the three-dimension period structure of drawing 29

[Drawing 31] The mimetic diagram of the three-dimension period structure concerning the 11th example of this invention

[Drawing 32] The sectional view for explaining the manufacture approach of the three-dimension period structure of drawing 31

[Drawing 33] The perspective view showing the optical waveguide concerning the 12th example of this invention

[Drawing 34] The perspective view showing the conventional optical waveguide

[Drawing 35] The top view and sectional view of a semiconductor device which have an inductor concerning the 13th example of this invention

[Drawing 36] The sectional view of the semiconductor device which has a capacitor concerning the 13th example of this invention

[Drawing 37] The perspective view of a silicon substrate which has a cooling pipe concerning the 14th example of this invention

[Drawing 38] The top view of the silicon substrate which has a cooling pipe concerning the 14th example

[Drawing 39] The sectional view showing the formation approach of the SON substrate concerning the 15th example of this invention

[Drawing 40] Drawing showing the result of having bent with the thickness and having investigated relation with an amount  $\delta$  about the silicon substrate on ESS

[Drawing 41] Drawing showing the SON substrate which has the plate-like cavity where the configuration seen from the top is circular

[Drawing 42] Drawing showing the pressure sensor concerning the 16th example of this invention

[Drawing 43] Drawing showing the modification of the pressure sensor concerning this example

[Drawing 44] Drawing showing other modifications of the pressure sensor concerning this example

[Drawing 45] Drawing showing still more nearly another modification of the pressure sensor concerning this example

[Description of Notations]

1 -- Silicon substrate

2 -- Mask material

3 -- Photoresist pattern

4 -- Slot (the 1st slot)

5 -- Plate-like cavity

5' -- Cavity which has not been closed

6 -- Spherical cavity  
7 -- Silicon oxide  
8 -- Silicon nitride  
9 -- Photoresist pattern  
10 -- Slot (the 2nd slot)  
11 -- Silicon thermal oxidation film  
12 -- Silicon oxide  
13 -- Photoresist pattern  
14 -- Isolation slot  
15 -- Silicon thermal oxidation film  
16 -- Silicon oxide  
17 -- Gate oxide  
18 -- Gate electrode  
19 20 -- Extension  
21 -- Gate side-attachment-wall insulator layer  
22 -- Source diffusion layer  
23 -- Drain layer  
24 -- Silicon thermal oxidation film  
25 -- Silicon nitride  
26 27 -- Photoresist pattern  
28 -- Slot (the 3rd slot)  
29 -- Silicon oxide  
30 -- Silicon nitride  
31 -- Photoresist pattern  
32 -- Silicon oxide  
33 -- SON layer  
41 -- SiGe layer  
42 -- Silicon layer  
43 -- Si field where the cavity 5 is not formed downward  
44 -- Si field where the cavity 5 is formed downward  
51 -- Silicon substrate  
52 -- Trench  
53 -- Spherical cavity  
61 -- Silicon substrate  
62 -- Si pattern  
63 -- SiO<sub>2</sub> Layer  
64 -- Si pattern  
70 -- Silicon substrate  
71 -- Plate-like cavity  
72 -- Spiral inductor  
73 -- Metal electrode  
74 -- Insulator layer  
75 -- Metal electrode  
81 -- Silicon substrate  
82 -- Cooling pipe  
83 -- Si wafer  
84 -- Scribe line  
85 -- Plate-like cavity (hollow structure)  
91 -- SON substrate  
92 -- Rectangle-like cavity  
931 - 934 --P Mold Diffusion Layer (Gage Resistance)  
94 -- p+ Mold diffusion layer (wiring)  
95 -- Metal wiring  
96 -- Opening

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

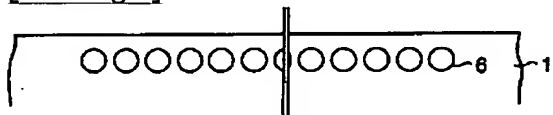
3.In the drawings, any words are not translated.

---

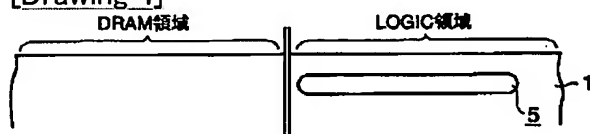
DRAWINGS

---

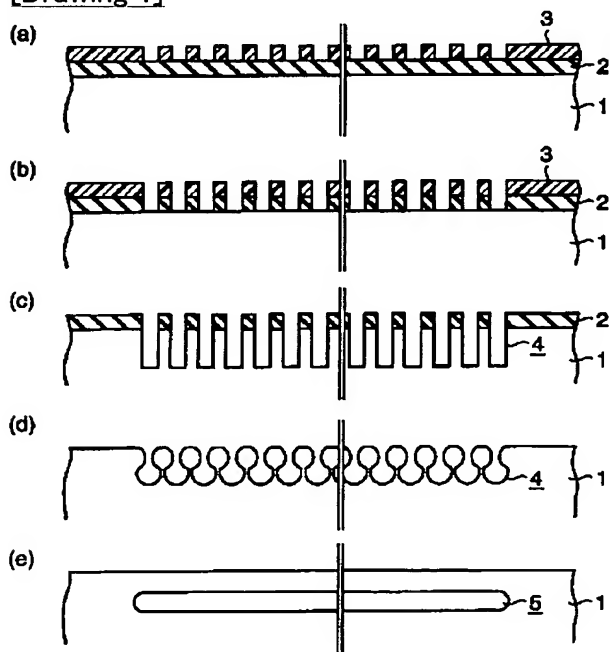
[Drawing 2]



[Drawing 4]

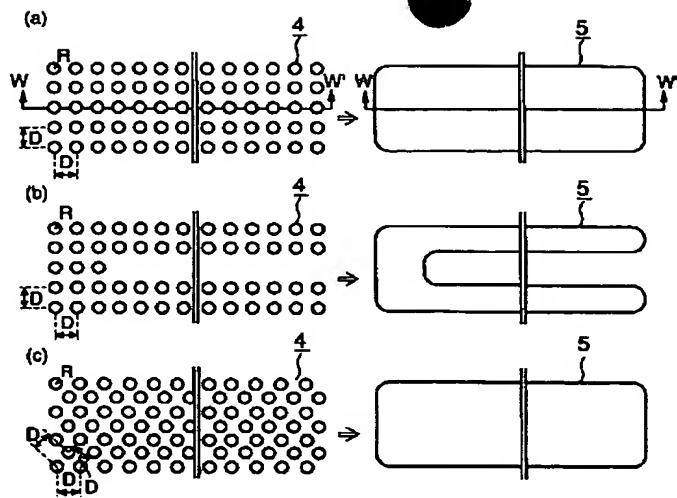


[Drawing 1]

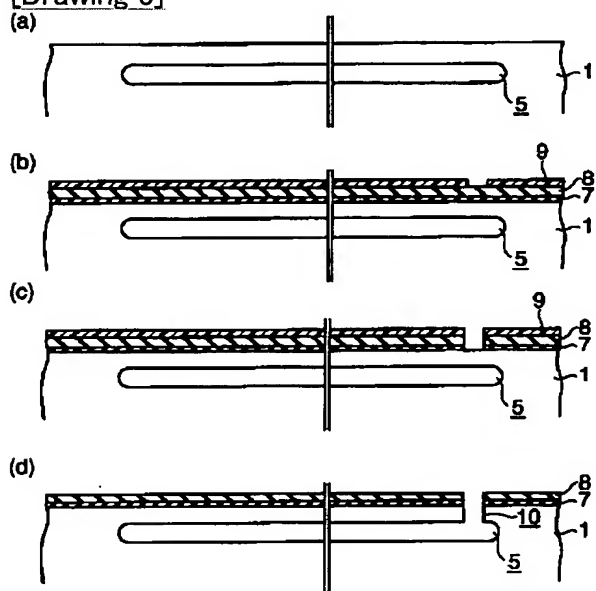


[Drawing 3]

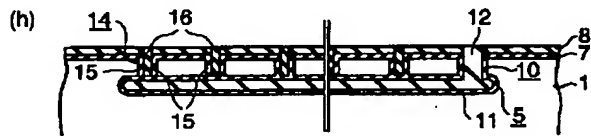
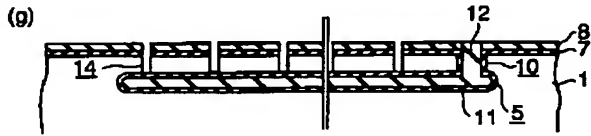
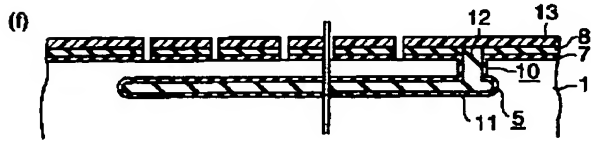
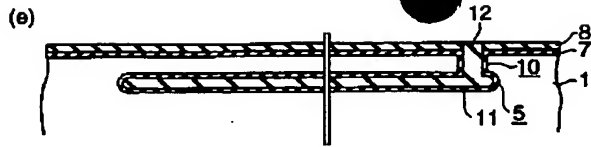




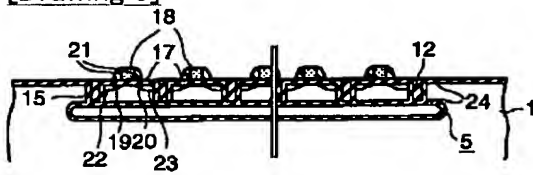
[Drawing 5]



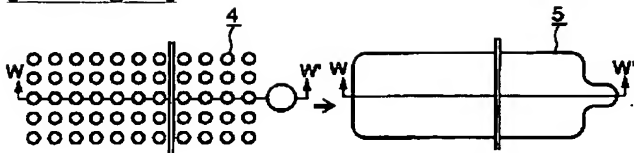
[Drawing 6]



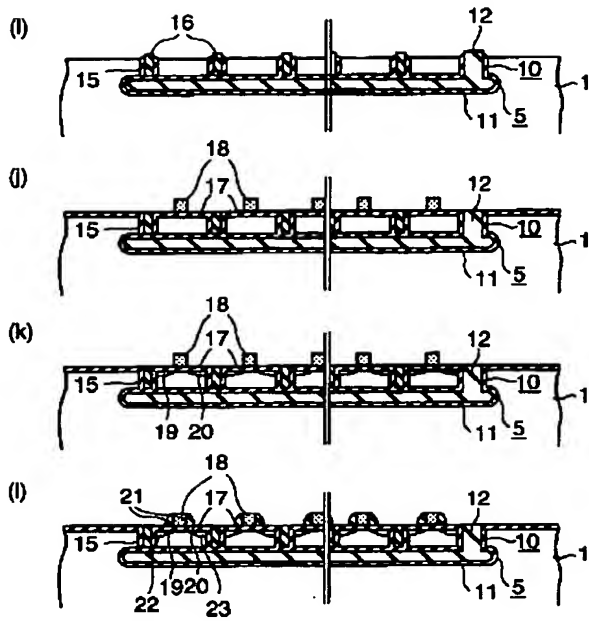
[Drawing 9]



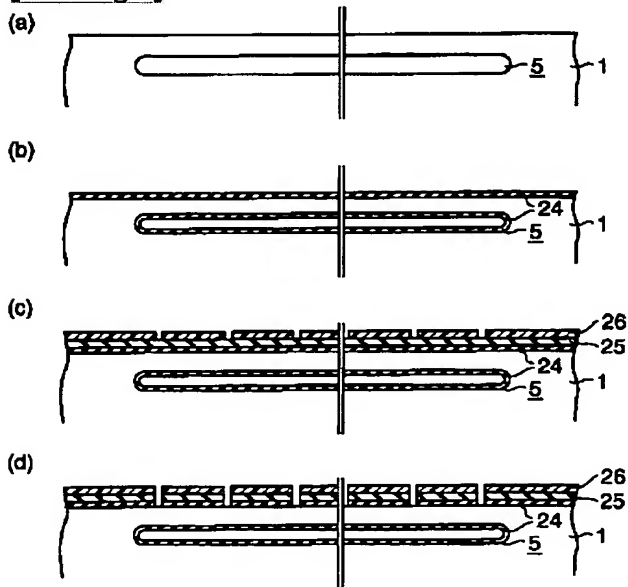
[Drawing 12]



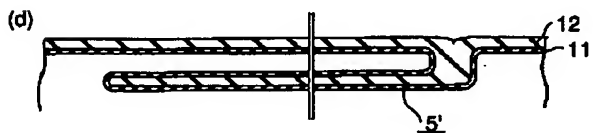
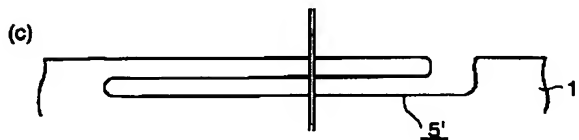
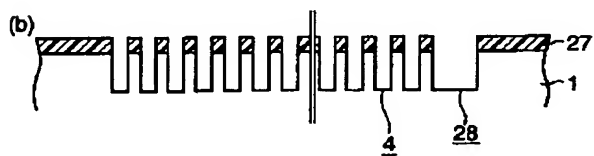
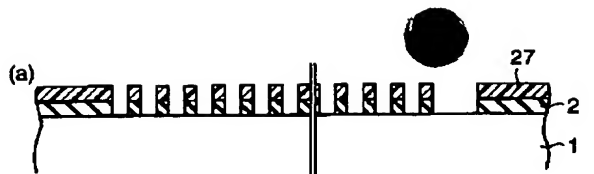
[Drawing 7]



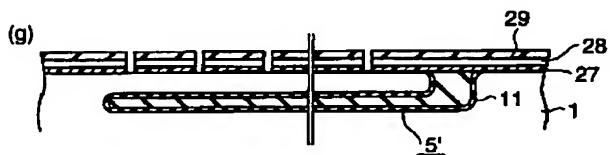
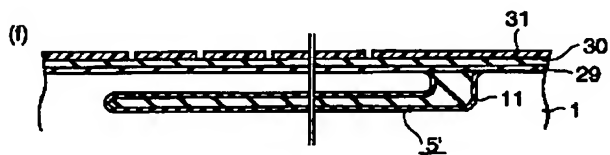
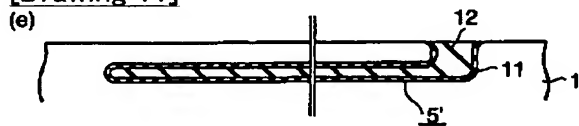
[Drawing 8]



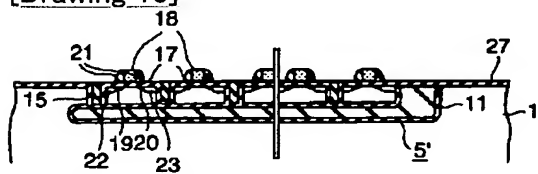
[Drawing 10]



[Drawing 11]

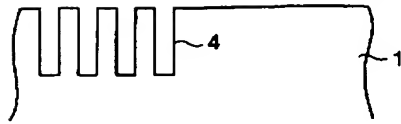


[Drawing 13]

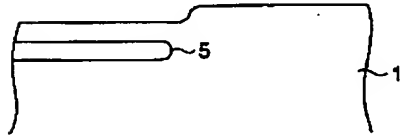


[Drawing 14]

(a)



(b)

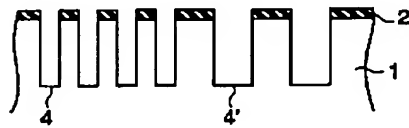


[Drawing 15]

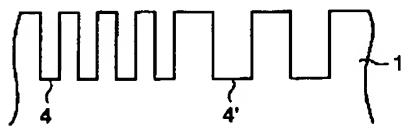
(a)



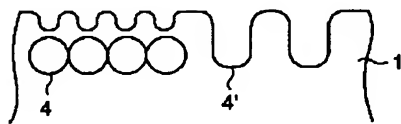
(b)



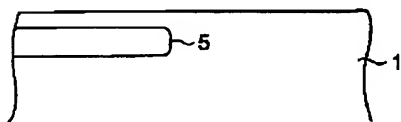
(c)



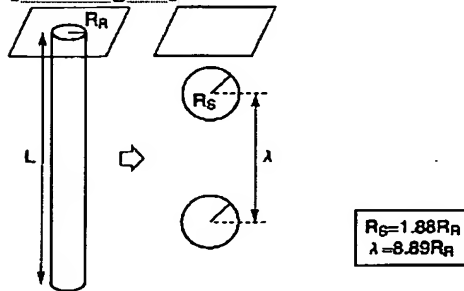
(d)



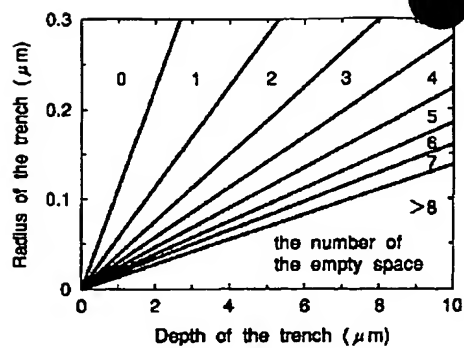
(e)



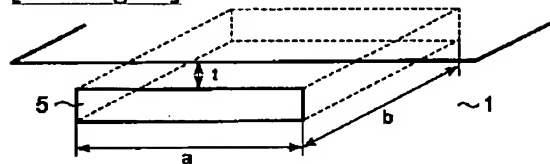
[Drawing 16]



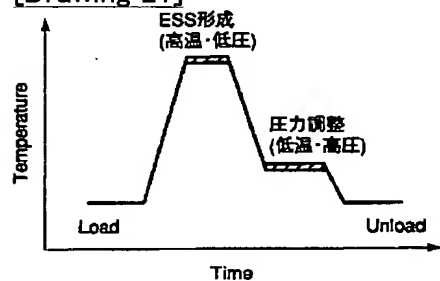
[Drawing 17]



[Drawing 19]

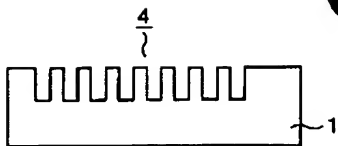


[Drawing 21]

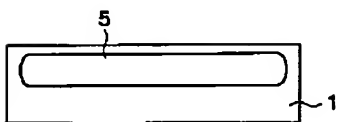


[Drawing 23]

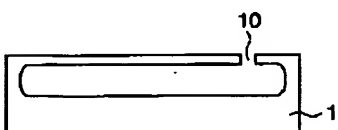
(a)



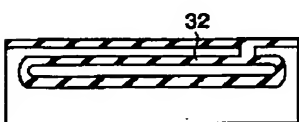
(b)



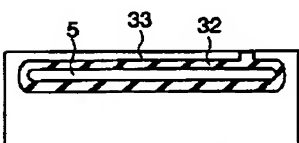
(c)



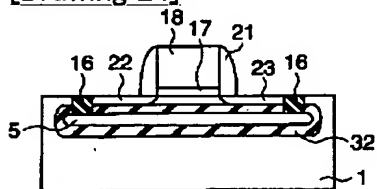
(d)



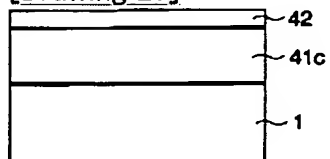
(e)



[Drawing 24]

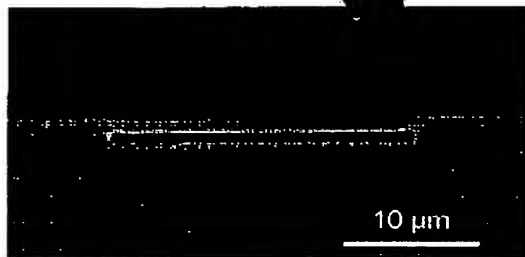


[Drawing 27]



[Drawing 18]

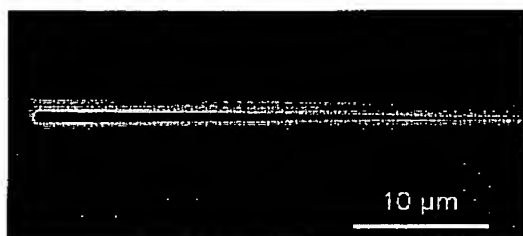
(a)



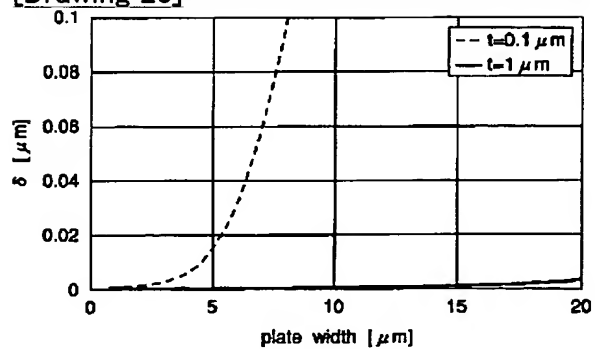
(b)



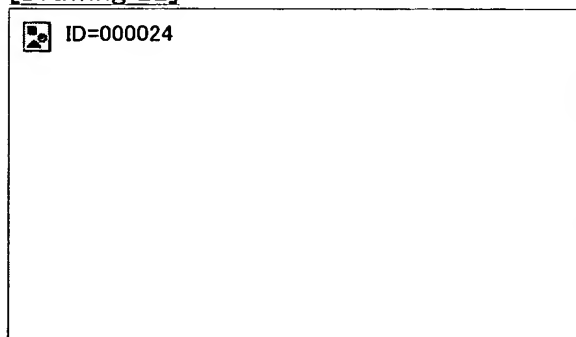
(c)



[Drawing 20]



[Drawing 22]

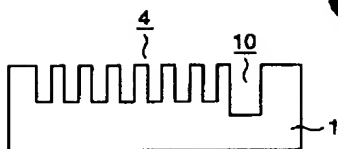


[Drawing 25]

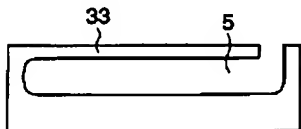
BEST AVAILABLE COPY



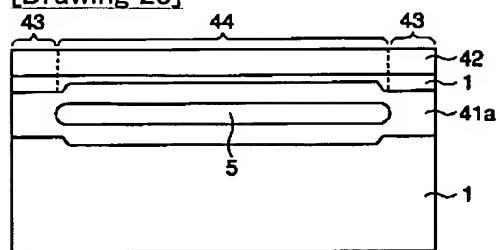
(a)



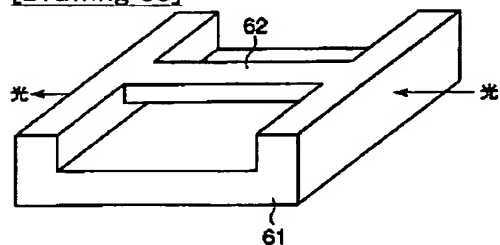
(b)



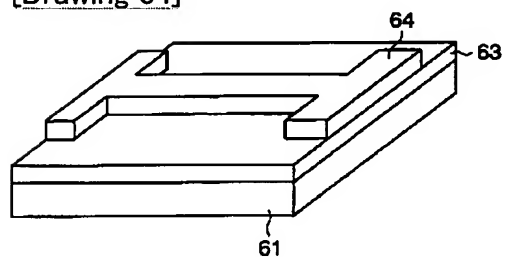
[Drawing 28]



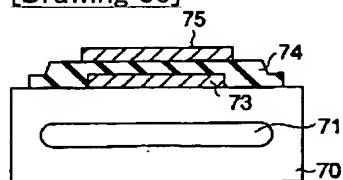
[Drawing 33]



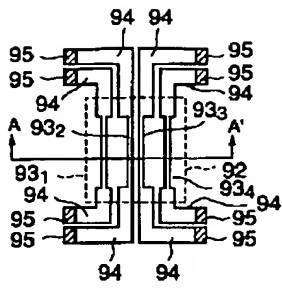
[Drawing 34]



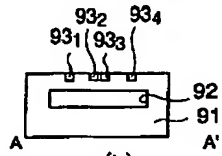
[Drawing 36]



[Drawing 42]



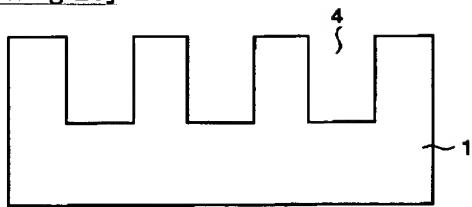
(a)



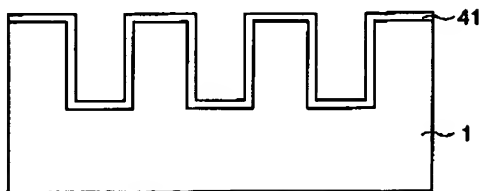
(b)

[Drawing 26]

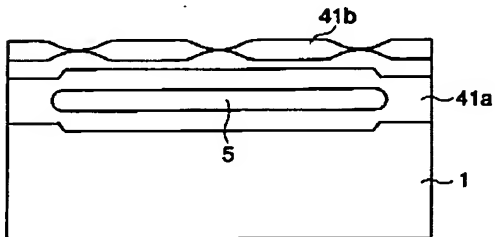
(a)



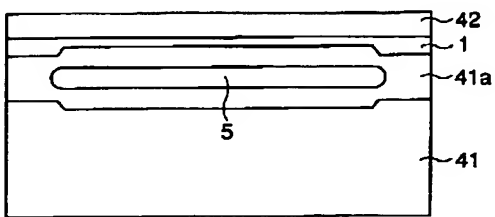
(b)



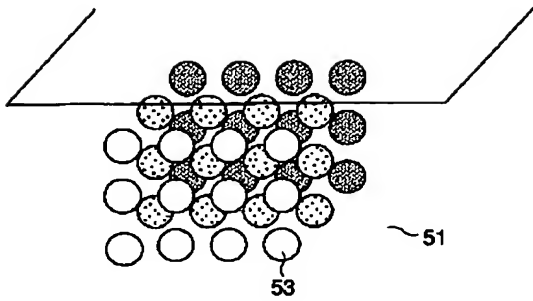
(c)



(d)

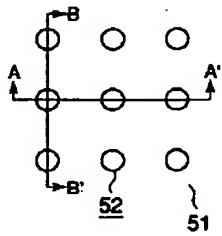


[Drawing 29]

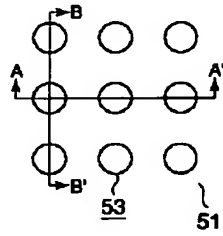


[Drawing 30]

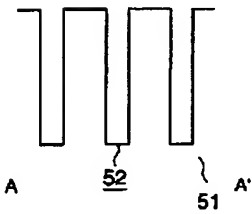
(a)



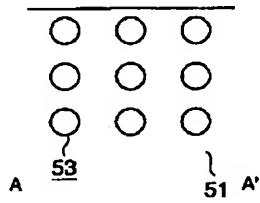
(d)



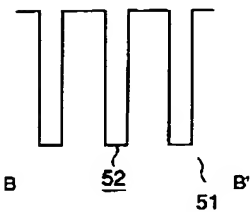
(b)



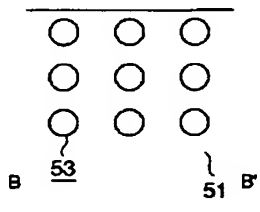
(e)



(c)

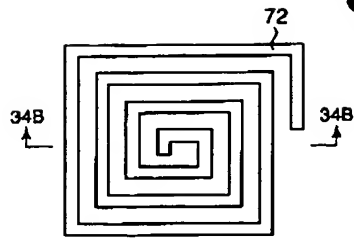


(f)

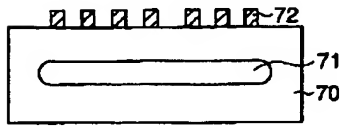


[Drawing 35]

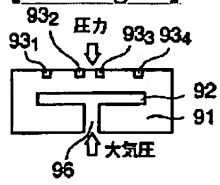
(a)



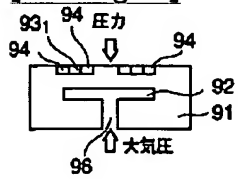
(b)



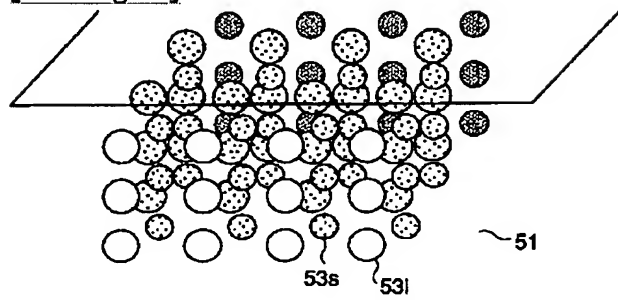
[Drawing 43]



[Drawing 45]

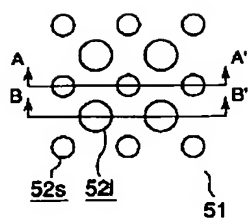


[Drawing 31]

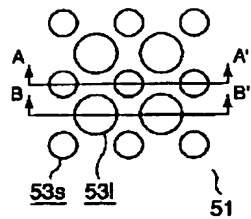


[Drawing 32]

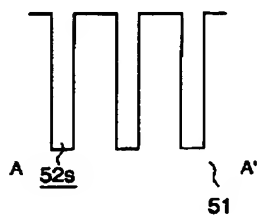
(a)



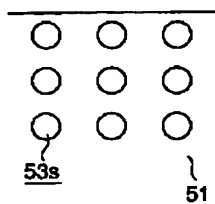
(d)



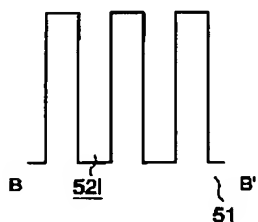
(b)



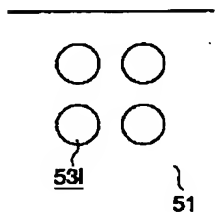
(e)



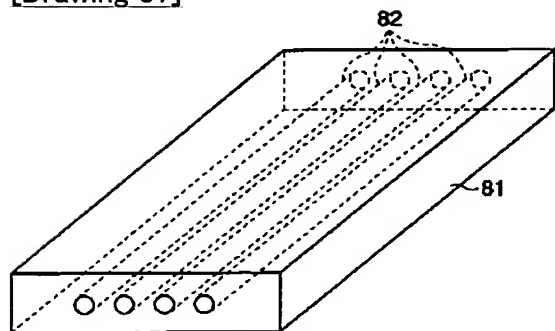
(c)



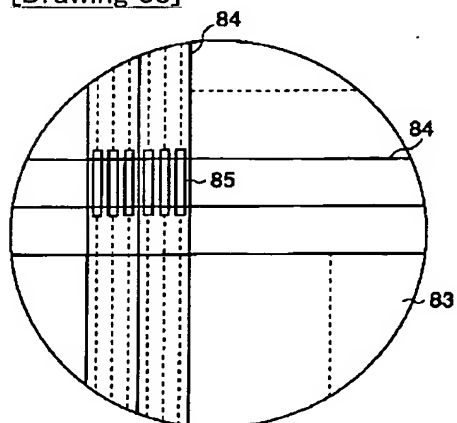
(f)



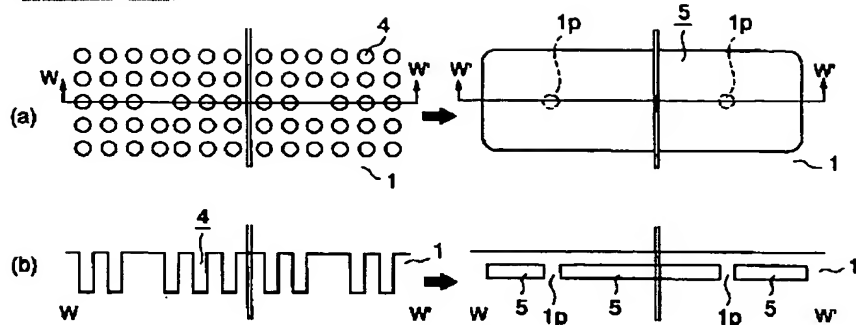
[Drawing 37]



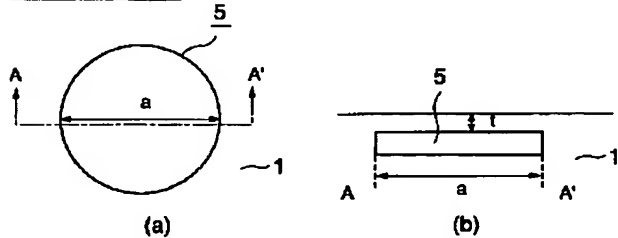
[Drawing 38]



[Drawing 39]

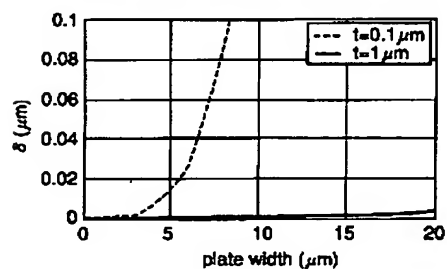


[Drawing 41]

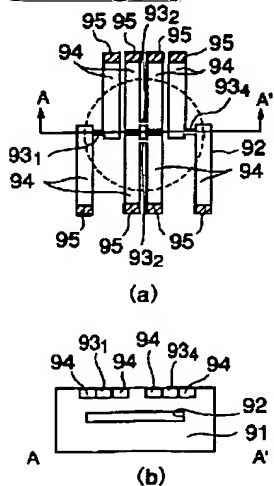


[Drawing 40]

大気圧荷重の場合のESS幅に対する撓み量



[Drawing 44]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-144276

(P2001-144276A)

(43) 公開日 平成13年5月25日 (2001.5.25)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 27/12		H 0 1 L 27/12	Z
			F
			L
G 0 2 B 6/122		27/08	3 3 1 E
6/12			3 3 1 A

審査請求 未請求 請求項の数44 O L (全 27 頁) 最終頁に続く

(21) 出願番号	特願2000-252881(P2000-252881)	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成12年8月23日 (2000.8.23)	(72) 発明者	佐藤 力 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
(31) 優先権主張番号	特願平11-246582	(72) 発明者	松尾 美恵 神奈川県横浜市磯子区新杉田町8番地 株 式会社東芝横浜事業所内
(32) 優先日	平成11年8月31日 (1999.8.31)	(74) 代理人	100058479 弁理士 鈴江 武彦 (外6名)
(33) 優先権主張国	日本 (J P)		

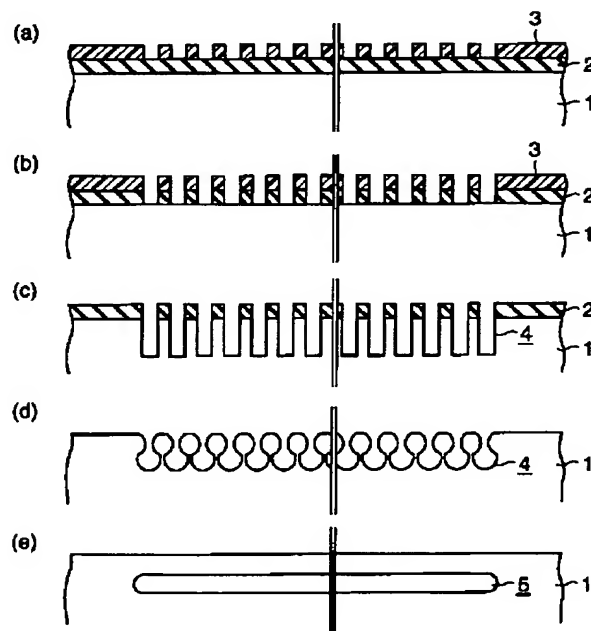
最終頁に続く

(54) 【発明の名称】 半導体基板およびその製造方法

(57) 【要約】

【課題】コストの上昇や、信頼性の低下を招かずにS O I 構造を形成すること。

【解決手段】シリコン基板1の表面に複数の溝4を2次元的に配列形成した後、シリコン基板1に熱処理を施すことによって、複数の溝4を1つの平板状の空洞5に変える。



## 【特許請求の範囲】

【請求項 1】内部に平板状の空洞が設けられていることを特徴とする半導体基板。

【請求項 2】内部に平板状の絶縁部材が設けられていることを特徴とする半導体基板。

【請求項 3】内部に空洞を含む半導体基板であって、前記空洞の内面の少なくとも一部に設けられ、前記空洞の上の前記半導体基板内に引っ張り応力を発生させる応力発生膜とを含むことを特徴とする半導体基板。

【請求項 4】前記応力発生膜は、絶縁膜および前記半導体基板の構成元素とは異なる半導体元素を含む半導体膜の一方であることを特徴とする請求項 3 に記載の半導体基板。

【請求項 5】前記応力発生膜上の前記半導体基板の厚さ／（前記応力発生膜上の前記半導体基板の厚さ＋前記応力発生膜の厚さ）の比が 0.1 以上 0.9 以下であることを特徴とする請求項 3 に記載の半導体基板。

【請求項 6】半導体からなる半導体基板であって、内部に空洞を有し、かつ前記空洞の内部に前記半導体からなる柱が存在することを特徴とする半導体基板。

【請求項 7】前記空洞上の半導体基板の厚さを  $t$ 、前記柱から最も近い前記半導体からなる領域と前記柱との間の距離を  $w$ 、前記半導体のヤング率を  $E$  ( $N/\mu m^2$ )、前記空洞上の前記半導体基板にかかる荷重を  $P$  ( $N/\mu m^2$ ) とした場合に、 $w \leq t$  ( $E/0.0568P$ )<sup>1/4</sup> の条件を満たすことを特徴とする請求項 6 に記載の半導体基板。

【請求項 8】前記半導体からなる領域は、前記空洞の端部および前記空洞内に存在する前記柱とは別の前記半導体からなる柱の一方であることを特徴とする請求項 6 に記載の半導体基板。

【請求項 9】請求項 1 ないし 8 のいずれか 1 項に記載の半導体基板と、前記半導体基板の前記空洞、前記絶縁部材および前記応力発生膜のいずれかの上の半導体領域上に形成された半導体素子とを含むことを特徴とする半導体装置。

【請求項 10】前記半導体素子は MOS トランジスタであることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】基板の内部に複数の球状の空洞を 3 次元的に周期的に配列してなることを特徴とする 3 次元周期構造体。

【請求項 12】前記複数の球状の空洞は、前記基板の深さ方向に関しては同一線上に等間隔で配列され、前記基板内の同一平面内に関しては格子状に配列されていることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 13】前記複数の球状の空洞は実質的に全て同じサイズであることを特徴とする請求項 11 に記載の 3 次元周期構造。

【請求項 14】前記複数の球状の空洞はサイズが異なる複数の球状の空洞を含み、前記基板の深さ方向に関して

は複数の同じサイズの空洞が同一線上に等間隔で配列され、前記基板内の同一平面内に関しては複数のサイズの異なる空洞が格子状に配列されていることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 15】前記基板は、シリコン基板であることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 16】前記空洞は、角の取れた多面体で構成されていることを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 17】前記空洞の内部に水素が存在することを特徴とする請求項 11 に記載の 3 次元周期構造体。

【請求項 18】請求項 11 に記載の 3 次元周期構造体と、この 3 次元周期構造体と繋がった半導体素子とを含むことを特徴とする半導体装置。

【請求項 19】半導体基板と、前記半導体基板内に組み込まれ、半導体元素から形成され、上面、側面および底面の周囲が空間である、光を通す導波路とを含むことを特徴とする半導体装置。

【請求項 20】前記半導体元素は、前記半導体基板を構成する半導体元素と同じであることを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】内部に平板状の空洞を有する半導体基板と、前記空洞上の前記半導体基板の表面に形成された受動素子とを含むことを特徴とする半導体装置。

【請求項 22】前記受動素子は、インダクタおよびキャパシタの少なくとも一方であることを特徴とする請求項 21 に記載の半導体装置。

【請求項 23】冷却構造を含む半導体基板であって、前記冷却構造は前記半導体基板を貫通し、冷媒を流すための複数の冷却パイプを含むことを特徴とする半導体基板

【請求項 24】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程とを含むことを特徴とする半導体基板の製造方法

【請求項 25】前記平板状の空洞を形成した後、前記半導体基板の表面に前記平板状の空洞に達する第 2 のトレンチを形成する工程と、

前記第 2 のトレンチおよび前記平板状の空洞の内部を絶縁膜で埋め込む工程とをさらに含むことを特徴とする請求項 24 に記載の半導体基板の製造方法。

【請求項 26】前記平板状の空洞を形成した後、熱酸化により前記平板状の空洞の内面に酸化膜を形成することを特徴とする請求項 24 に記載の半導体基板の製造方法。

【請求項 27】前記第 2 のトレンチを形成した後、熱酸化により前記平板状の空洞の内面に酸化膜を形成することを特徴とする請求項 25 に記載の半導体基板の製造方



法。

【請求項 28】半導体基板の表面に、複数の第 1 のトレンチを形成するとともに、前記第 1 のトレンチよりも開口面が広い第 3 のトレンチを形成する工程と、  
前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチと前記第 3 のトレンチとを、平板状の空間領域を有し、かつ前記半導体基板の表面に開口面を有する閉じていない 1 つの空洞に変える工程と、  
前記空洞の内部を絶縁膜で埋め込む工程とを含むことを特徴とする半導体基板の製造方法

【請求項 29】前記第 1 のトレンチの間隔を  $D$ 、前記第 1 のトレンチの開口面の面積と同じ面積を有する円の半径を  $R$  とした場合に、 $D < 4R$  となるように、前記複数の第 1 のトレンチを配列形成することを特徴とする請求項 24 ないし 28 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 30】前記第 1 のトレンチのアスペクト比が 2.5 以上であることを特徴とする請求項 24 ないし 28 のいずれ 1 項に記載の半導体基板の製造方法。

【請求項 31】前記半導体基板の前記空洞上の半導体領域に MOS トランジスタを形成する工程をさらに含むことを特徴とする請求項 24 ないし 30 のいずれか 1 項に記載の半導体基板の製造方法。

【請求項 32】半導体基板の表面にアスペクト比が 5 以上の複数の第 1 のトレンチおよびアスペクト比が 4 以下の複数の第 4 のトレンチを形成する工程と、  
前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの空洞に変え、かつ前記複数の第 4 のトレンチを消滅させ、これらの第 4 のトレンチおよび前記空洞が形成された領域を含む前記半導体基板の表面を平坦にする工程とを含むことを特徴とする半導体基板の製造方法

【請求項 33】半導体基板の表面に複数のトレンチを形成する工程と、  
前記半導体基板に第 1 の熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの空洞に変える工程と、  
前記半導体基板に第 2 の熱処理を施し、前記空洞の内部の圧力を変えることによって、前記半導体基板が存在する雰囲気中の圧力と前記空洞の内部の圧力との差を小さくする工程とを含むことを特徴とする半導体基板の製造方法

【請求項 34】前記第 1 の熱処理を高温・減圧下で行い、前記第 2 の熱処理を低温・高圧下で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 35】前記第 1 の熱処理を  $1100^{\circ}\text{C}$  以上の高温下で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 36】前記第 2 の熱処理は、水素濃度が 100 % の雰囲気中で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 37】前記第 2 の熱処理は、大気圧以上の高圧下で行うことを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 38】前記第 1 の熱処理と前記第 2 の熱処理が連続工程であることを特徴とする請求項 33 に記載の半導体基板の製造方法。

【請求項 39】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

10 前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程と、

前記半導体基板に前記空洞に達する第 2 の溝を形成する工程と、

熱酸化法により前記空洞の内面に、前記空洞の上の前記半導体基板内に引っ張り応力を発生させるための熱酸化膜を形成する工程とを含むことを特徴とする半導体基板の製造方法

【請求項 40】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

20 前記半導体基板を構成する第 1 の半導体元素とは異なる第 2 の半導体元素を含む第 1 の半導体膜を、前記複数の第 1 のトレンチを含む前記半導体基板の表面に形成する工程と、

前記半導体基板に第 1 の熱処理を施すことによって、前記複数の第 1 のトレンチを 1 つの平板状の空洞に変える工程と、

前記半導体基板に前記空洞に達する第 2 の溝を形成する工程と、

30 前記半導体基板に第 2 の熱処理を施すことによって、前記空洞の内面に、前記空洞の上の前記半導体基板内に引っ張り応力を発生させるための、前記第 1 および第 2 の半導体元素を含む第 2 の半導体膜を形成する工程とを含むことを特徴とする半導体基板の製造方法

【請求項 41】半導体基板の表面に複数の第 1 のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数の第 1 のトレンチをそれぞれ複数の球状の空洞に変える工程とを含むことを特徴とする 3 次元周期構造体の製造方法。

40 【請求項 42】前記熱処理を  $1100^{\circ}\text{C}$  以上の高温下、水素濃度が 100 % の減圧下の雰囲気中で行うことを特徴とする請求項 41 に記載の 3 次元周期構造体の製造方法。

【請求項 43】半導体基板の表面に複数のトレンチを形成する工程と、

前記半導体基板に熱処理を施すことによって、前記複数のトレンチを 1 つの平板状の空洞に変える工程と、

50 前記半導体基板をエッチングし、前記空洞上の前記半導体基板の一部を選択的に残して、上面、側面および底面の周囲が空間である、光を通す導波路としての半導体領

を前記半導体基板に組み込むように形成する工程とを含むことを特徴とする半導体基板の製造方法。

【請求項44】前記第1のトレンチの深さ方向に垂直な平面による、前記第1のトレンチの断面積は、前記第1のトレンチの底面以外のところで最小となることを特徴とする請求項24または28に記載の半導体基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、SOI構造と同様の効果を有する半導体基板およびその製造方法、ならびに同半導体基板を用いた半導体装置等に関する。

【0002】

【従来の技術】近年、DRAM等の電子デバイスにおいては、よりいっそうの高速化や省電力化が求められている。高速化や省電力化を実現するための1つの手段として、通常用いられているシリコン基板（バルクシリコン基板）の代わりに、SOI（Silicon On Insulator）基板を用いることがあげられる。

【0003】SOI基板は絶縁領域上にシリコン領域が存在するという構造を持った基板であって、その形成方法にはいくつかの種類があり、例えば貼り合わせ法、SIMOX（Separation by Implanted Oxygen）法、ELTRAN（Epitaxial Layer TRANSfer）法などがある。

【0004】しかしながら、従来のSOI基板の形成方法はコストがかかるため、DRAM等の民生用電子デバイスには向いていないという問題があった。さらに、欠陥の少ないシリコン領域（素子形成領域）を形成することが困難であるため、バルクシリコン基板を用いた場合に比べて、十分な信頼性が得られないという問題もあった。

【0005】

【発明が解決しようとする課題】上述の如く、電子デバイスのさらなる高性能化は、SOI基板を用いることにより実現可能であるが、コストや信頼性の点で問題があった。

【0006】本発明は、上記事情を考慮してなされたもので、その代表たる目的は、コストの上昇や、信頼性の低下を招かずに形成できるSOI構造と同様の効果を有する半導体基板およびその製造方法を提供することにある。また、本発明は、同半導体基板・製造方法の応用に係る装置・製法を提供することも目的としている。

【0007】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば下記の通りである。

【0008】上記目的を達成するために、本発明に係る半導体基板は、半導体基板中に平板状の空洞（ESS: Empty Space Silicon）が設けられていることを特徴とする。空洞は最初の誘電率1を有する絶縁物であり、究極

のSOI構造といえるSON（Silicon ON Nothing）構造が可能となる。

【0009】ここで、半導体基板のほぼ全体に空洞を設ける必要なく（なお、全体に設けると半導体基板が空洞の上下で分断されるので意味はない）、必要なところだけ、具体的にはSOI基板のメリットを享受したいところだけで十分である。

【0010】また、本発明に係る他の半導体基板は、半導体基板中に平板状の絶縁部材が部分的に設けられていることを特徴とする。

【0011】本発明に係る半導体基板の製造方法は、半導体基板の表面に複数の第1のトレンチを形成する工程と、前記半導体基板に熱処理を施すことによって、前記複数の第1のトレンチを1つの平板状の空洞に変える工程とを有することを特徴とする。

【0012】また、本発明に係る他の半導体基板の製造方法は、半導体基板の表面に、複数の第1のトレンチを形成するとともに、前記第1のトレンチよりも開口面が広い第3のトレンチを形成する工程と、前記半導体基板に熱処理を施すことによって、前記複数の第1のトレンチと前記第3のトレンチとを、平板状の空間領域を有し、かつ前記半導体基板の表面に開口面を有する閉じていない1つの空洞に変える工程と、前記空洞の内部を絶縁膜で埋め込む工程とを有することを特徴とする。

【0013】これらの半導体基板の製造方法の好ましい形態は以下の通りである。

【0014】（1）平板状の空洞を形成した後、半導体基板の表面に平板状の空洞に達する第2のトレンチを形成する工程と、第2のトレンチおよび平板状の空洞の内部を絶縁膜で埋め込む工程とをさらに有する。

【0015】（2）平板状の空洞を形成した後、熱酸化により平板状の空洞の内面に酸化膜を形成する。この後、必要に応じて上記（1）の工程を行う。

【0016】（3）第1のトレンチの最短の間隔をD、第1のトレンチの開口面の面積と同じ面積を有する円の半径をRとした場合に、 $D < 4R$ となるように、複数の第1のトレンチを配列形成する。

【0017】（4）半導体基板としてシリコン基板を用いる。

【0018】（5）上記（4）において、減圧下かつSiO<sub>2</sub>が還元される雰囲気中で空洞を形成するための熱処理を行う。

【0019】（6）上記（4）において、減圧下かつ水素雰囲気中で空洞を形成するための熱処理を行う。

【0020】（7）上記（4）において、減圧下かつ1000℃以上1200℃以下で空洞を形成するための熱処理を行う。

【0021】本発明の如き構成の半導体基板であれば、本発明の半導体基板の製造方法により、コストの上昇や信頼性の低下を招かずにSOIと同様の機能を有する構

造を形成することができる。

【0022】コストの上昇を防止できる理由は、半導体基板に形成した複数のトレンチを熱処理によって1つの空洞に変えるというシンプルなプロセスにより、SOI構造の絶縁領域を形成しているからである。

【0023】上記のように熱処理による表面マイグレーションを利用して単結晶領域を形成できるため、初期の基板として多少の欠陥を含んだシリコン基板を使用することができる。この結果、ウェハコストを削減できる。すなわち、従来のSOI基板に比べても勿論のこと、バルク基板に形成した従来のトランジスタと比べても、コストを抑えることができる可能性がある。

【0024】また、この方法では、複数のトレンチを形成した領域がSOI構造となるため、所望の領域のみSOI構造とすることができる。したがって、SOI構造が必要とされる領域のみをSOI構造を形成することで、コストの上昇をさらに抑制でき、またデバイス設計の自由度も高くなる。

【0025】信頼性の低下を防止できる理由は、上記複数のトレンチから1つの空洞への形状変化が、半導体基板の表面エネルギーを極小にするように生じる半導体の表面マイグレーションによるものであるため、素子を形成する半導体領域の結晶性が通常の単結晶半導体と同程度となるからである。

【0026】本発明の上記ならびにその他の目的と新規な特徴は、本明細書の記載および添付図面によって明らかにする。

【0027】

【発明の実施の形態】以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【0028】（第1の実施形態）図1は、本発明の第1の実施形態に係る平板状の空洞（ESS：Empty Space in Silicon）を有するシリコン基板、すなわち究極のSOI基板といえるSON（Silicon On Nothing）基板の形成方法を示す断面図である。

【0029】まず、図1（a）示すように、単結晶のシリコン基板1上にマスク材2を形成し、その上にフォトリソレジストパターン3を形成する。マスク材2については後で説明する。

【0030】次に図1（b）に示すように、フォトリソレジストパターン3をマスクとして、異方性エッチング例えばRIEによりマスク材2をパターニングし、マスク材2にフォトリソレジストパターン3のパターンを転写する。

【0031】次に図1（c）に示すように、フォトリソレジストパターン3を炭化して剥離した後、マスク材2をマスクとして異方性エッチング例えばRIEによりシリコン基板をパターニングして、シリコン基板の表面に複数のトレンチ4を2次的に配列形成する。

【0032】ここで、トレンチ4の半径は0.2 μm、深さは2 μm、トレンチ4の最短の間隔（後述の図3参

照）は0.8 μmである。トレンチ4のレイアウトについては後で説明する

また、マスク材2は、異方性エッチングによるシリコン基板1のパターニングの際にシリコンよりもエッチングレートが十分に遅い材料が望ましく、例えば異方性エッチングにRIEを用いた場合には、シリコン酸化膜、またはシリコン窒化膜とシリコン酸化膜との積層膜などが適している。

【0033】次にマスク材2を除去した後、減圧下（大気圧よりも低い圧力）の非酸化性雰囲気、好ましくはSiO<sub>2</sub>を還元する雰囲気、例えば1100℃、10 Torrの100%水素雰囲気中にて高温アニールを行うことにより、図1（d）を経て図1（e）に示すように、各トレンチ4の開口面が閉ざされて空洞が形成され、さらに各トレンチ4にて形成された空洞同士が一体化することによって、シリコン基板1の内部に1つの平板状の空洞5が形成される。ここでは、熱処理温度を1100℃としたがそれよりも高くても良い。

【0034】この形状変化は、シリコン基板1の表面のシリコン酸化膜が除去された後、表面エネルギーを最小にするように生じるシリコンの表面マイグレーションによるものである。

【0035】ここで、平板状の空洞が形成されるか否かは、初期のトレンチ4のレイアウトによって決まる。本実施形態のようにトレンチ4の最短の間隔が0.8 μmの場合には、図1（e）に示したように、それぞれのトレンチ4の底にて形成される空洞同士が一体化して、大きな平板状の空洞が形成される。しかし、トレンチ4の最短の間隔が0.9 μmの場合には、図2に示すように、それぞれのトレンチ4において球状の空洞6が形成されるだけである。

【0036】トレンチ4のレイアウトについて平面図を用いてさらに詳細に説明する。図3は、トレンチ4のレイアウトを示す平面図である。図3の各トレンチ4のレイアウトの右にはそれから形成される平板状の空洞5の平面図も示してある。各トレンチ4のレイアウトの平面図のW-W'断面図は図1（c）の断面図に相当し、各平板状の空洞5の平面図のW-W'断面図は図1（e）の断面図に相当する。

【0037】図において、Dはトレンチ4の間隔、Rはトレンチ4の半径を示している。なお、空洞5の短辺方向の寸法は例えば100 μm程度である。また、空洞5の長辺方向の最大寸法はチップのそれと同程度であり、一方最小寸法はロジック部のMOSトランジスタ領域のそれと同程度である。

【0038】本発明者らの研究によれば、D>4.5Rとした場合、平板状の空洞を形成することができず、各トレンチの下部にて球状の空洞が形成されるのみであり、D<4Rとした場合、平板状の空洞を形成することができることが分かった。なお、4R≤D≤4.5Rの

場合には、平板状の空洞を形成することができたり、できなかつたりする。

【0039】したがって、図3に示した各トレンチのレイアウトにおいて、 $D < 4R$ と設定することにより、各トレンチ4の底で形成される空洞が一体化して、初期にトレンチ4の形成されていた領域下に平板状の空洞5を選択的に形成することができる。

【0040】すなわち、本実施形態によれば、平板状の空洞5を形成したい領域のみに、 $D < 4R$ を満たすようにトレンチ4をレイアウトしておくことで、その領域下のみに平板状の空洞5を形成することができ、ウェハ面内において部分的に平板状の空洞（誘電体領域）を有するシリコン基板を形成することができる。

【0041】これは、ウェハ面内の所望の領域のみをSOI構造にできることを意味し、その領域では高速性、低消費電力などSOI基板のメリットを享受することができる。したがって、高価な基板であるSOI基板を用いずに、SOI基板のメリットを享受することができる。

【0042】しかも、SIMOXやELTRAN等のSOI基板とは異なり、素子を形成するシリコン領域に欠陥を生じさせることはない。何故なら、トレンチの表面エネルギーを最小にするように生じるシリコンの表面マイグレーションによって、空洞を形成しているの、素子を形成するシリコン領域の結晶性は通常の単結晶シリコンと同程度となるからである。

【0043】このような平板状の空洞を設ける部分としては、例えば図4に示すように、高速性、低消費電力が要求される、DRAM/LOGIC混載のLOGIC部の基板中があげられる。

【0044】なお、RIEにより複数のトレンチ4を形成した場合には、複数のトレンチ4を平板状の空洞に形状変化させるための熱処理を行う直前に、複数のトレンチ4の内面に厚さ10nm程度の熱酸化膜を形成した後、その熱酸化膜を除去することが望ましい。このような熱酸化膜の形成と除去によって、RIEにより生じたシリコン基板1のダメージを十分に除去することができる。

【0045】なお、本実施形態では、トレンチ4の開口面の形状が円の場合について説明したが、矩形の場合でも同様の結果が得られる。この場合のRは、その矩形の面積と同じ面積の円の半径となる。矩形以外の他の形状の場合についても同様である。

【0046】また、マスク材2を除去せずに熱処理を行っても、同様に平板状の空洞5を形成することができる。ただし、平坦化されたシリコン基板1の表面を利用するためには、基板表面の平坦化も同時に行えるマスク材2の除去後の熱処理のほうが望ましい。マスク材2を除去しないで熱処理を行っても、その後CMP（Chemical Mechanical Polishing）工程を追加することによ

て表面を平坦にすることはできる。

【0047】また、平板状の空洞上の基板表面は、その他の基板表面に対して少し下がっている。その理由は、各トレンチの底で形成される空洞の体積が初期のトレンチの体積よりも小さくなり、先に形成する複数のトレンチの体積に対して、形成される平板状の空洞の体積を差し引いた分だけ、基板表面が下がるからだと考えられる。なお、平板状の空洞上の基板表面は平坦である。

【0048】これは、平板状の空洞をDRAM/LOGIC混載のLOGIC部に適用することを考えると、DRAM部とLOGIC部との境界部分に段差が生じることを意味している。すなわち、本発明を適用したDRAM/LOGIC混載であるか否かは、DRAM部とLOGIC部との境界部分に段差があるか否かである分かる。他のデバイスでも同様の段差は生じる。

【0049】上記段差は、 $R = 0.2 \mu\text{m}$ 、 $D = 0.8 \mu\text{m}$ の場合には、 $0.1 \mu\text{m}$ 以下となる。この程度の段差であれば問題なく露光できる。今の技術では $0.2 \mu\text{m}$ 以下であれば問題なく露光できる。

【0050】段差の影響を軽減する具体的な方法について述べる。光露光の場合、段差上ではマスク（レクチル）のパターンよりも細いパターンがレジストに転写されるので、マスク（レクチル）の段差上に対応した部分のパターンについては、予め細くなる分を見込んで幅広のパターンとすると良い。他の方法としては、電子ビーム露光を用いることがあげられる。何故なら、電子ビーム露光は光露光に比べて段差の影響を受けにくいからである。

【0051】上述したように、ある程度の段差であればそのまま残しておいても問題はないが、その影響を無視できない場合には、平板状の空洞を形成する前に、空洞の形成領域以外の領域を予め低下する分だけ掘り下げておくか、あるいは平板状の空洞を形成した後に低下した分だけ空洞の形成領域上のみを持ち上げるか、あるいは全面をCMPにより研磨して表面を平坦化すれば良い。

【0052】予め低下する分だけ掘り下げる場合には、例えば平板状の空洞の形成領域をマスク例えば酸化膜で覆った状態で、RIE法により平板状の空洞を形成しない領域を選択的にエッチングしてその表面を後退させる。

【0053】一方、低下した分だけ持ち上げる場合には、例えば平板状の空洞の形成領域以外をマスクで覆った状態で、ジクロロシランと塩酸を用いたSiの選択エピタキシャル成長を行えば良い。

【0054】また、高温・長時間の熱処理によって平板状の空洞を形成すれば、表面全体を平坦にすることが可能である。

【0055】以上述べたように、本実施形態によれば、シリコンの表面マイグレーションによって、複数のトレンチを1つの平板状の空洞に変えるというシンプルかつ

ダメージフリーなプロセスにより、誘電体領域が空洞のSOI構造を実現できる。したがって、本実施形態によれば、コストの上昇や信頼性の低下を招かずに、SOI構造を有するシリコン基板を提供できるようになる。

【0056】また、平板状の空洞の位置および大きさは、複数のトレンチの位置および大きさによって制御できるので、シリコン基板中の所望の領域に所望の大きさのSOI構造を容易に導入することができる。

【0057】なお、本実施形態では、シリコン基板中に1つの平板状の空洞を形成する例について説明したが、シリコン基板中に複数の平板状の空洞を形成しても良い。

【0058】(第2の実施形態) 図5～図7は、本発明の第2の実施形態に係るMOSトランジスタの製造方法を示す断面図である。なお、以下の図において、前出した図と同一符号は同一部分または相当部分を示し、その詳細な説明は省略する。

【0059】本実施形態では、シリコン基板中に平板状の空洞を形成し、この平板状の空洞上にMOSトランジスタを製造する場合について説明する。

【0060】まず、図1(a)～図1(e)に示した第1の実施形態と同様の方法により、図5(a)に示すように、シリコン基板1内に平板状の空洞5を形成する。

【0061】次に図5(b)に示すように、シリコン基板1上にシリコン酸化膜7、シリコン窒化膜8、フォトレジストパターン9を順次形成する。

【0062】ここで、フォトレジストパターン9は、その開口部の少なくとも一部が空洞形成領域上に来るようにレイアウトされている。図には、開口部の全体が空洞形成領域上に来るようにレイアウトされている例が示されている。

【0063】次に図5(c)に示すように、フォトレジストパターン9をマスクとして、異方性エッチング例えばRIEによりシリコン窒化膜8、シリコン酸化膜7を順次バターンニングし、フォトレジストパターン9のパターンをシリコン窒化膜8、シリコン酸化膜7に転写する。

【0064】次に図5(d)に示すように、フォトレジストパターン9を炭化して剥離した後、シリコン窒化膜8、シリコン酸化膜7をマスクにしてシリコン基板1を異方性エッチング例えばRIEによりバターンニングし、平板状の空洞5まで繋がるトレンチ10を形成する。

【0065】次に図6(e)に示すように、熱酸化により平板状の空洞5の内面にシリコン熱酸化膜11を形成する。次に同(e)に示すように、平板状の空洞5およびトレンチ10の内部を埋め込むように、シリコン酸化膜12を全面に堆積した後、平板状の空洞5およびトレンチ10の外部の不要なシリコン酸化膜をCMPにより除去して表面を平坦化する。このとき、平板状の空洞5の内部を完全にシリコン酸化膜12で埋め込む必要はな

く、少なくともトレンチ10を完全に埋め込むだけでも充分である。

【0066】次に図6(f)に示すように、素子分離(STI)を形成するためのフォトレジストパターン13を形成した後、これをマスクとしてシリコン窒化膜8、シリコン酸化膜7を異方性エッチング例えばRIEにより順次バターンニングし、フォトレジストパターン13のパターンをシリコン窒化膜8、シリコン酸化膜7に転写する。

10 【0067】次に図6(g)に示すように、フォトレジストパターン13を炭化して剥離した後、シリコン窒化膜8、シリコン酸化膜7をマスクにしてシリコン基板1を異方性エッチング例えばRIEによりバターンニングして、素子分離トレンチ14を形成する。このとき、平板状の空洞4の内面に形成した熱酸化膜11がRIEストッパーとして働く。

【0068】次に図6(h)に示すように、熱酸化により素子分離トレンチ14の側面にシリコン熱酸化膜15を形成した後、素子分離トレンチ14内にシリコン酸化膜16を埋め込み形成し、表面を平坦にする。

20 【0069】素子分離トレンチ14の埋め込みは、例えば素子分離トレンチ14の内部を充填するようにシリコン酸化膜16を全面にCVDにより堆積した後、素子分離トレンチ14の外部の不要なシリコン酸化膜16をCMPにより除去することによって行う。

【0070】次に図7(i)に示すように、シリコン窒化膜8、シリコン酸化膜7を除去する。シリコン窒化膜8は加熱H<sub>2</sub>PO<sub>4</sub>溶液、シリコン酸化膜7は弗酸溶液を用い除去する。

30 【0071】次に図7(j)に示すように、シリコン基板1の表面を熱酸化して、その表面にゲート酸化膜17を形成する。上記熱酸化は、例えば、900℃、酸素とHClとの混合ガス雰囲気中で行う。ここでは、ゲート絶縁膜として、酸化膜を用いたが、タンタルオキサイド膜、オキシナイトライド膜等の他の絶縁膜を用いても良い。

【0072】次に図7(k)に示すように、基板全面に導電性膜を成膜し、これをバターンニングしてゲート電極18を形成する。

40 【0073】導電性膜としては、例えば多結晶シリコン膜、多結晶シリコン膜と金属シリサイド膜との積層膜、金属膜があげられる。上記各多結晶シリコン膜は不純物を含んだもので、アンドープの多結晶シリコン膜よりも低抵抗のものである。

50 【0074】多結晶シリコン膜を用いた場合には多結晶シリコンゲート、多結晶シリコン膜と金属シリサイド膜との積層膜を用いた場合にはポリサイドゲート、金属膜を用いた場合にはメタルゲートのMOSトランジスタがそれぞれ形成されることになる。メタルゲートの場合にはいわゆるダマシゲートを採用すると良い(A. Yagis

hita et al. IEDM1998 p.785)。

【0075】次に図7(k)に示すようにゲート電極15をマスクにしてシリコン基板1に不純物イオンを注入した後、上記不純物イオンを活性化するためのアニールを行って、浅くて低濃度の拡散層(エクステンション)19, 20を形成する。

【0076】最後に、図7(1)に示すように、公知の技術(側壁残し)によりゲート側壁絶縁膜21を形成し、このゲート側壁絶縁膜21とゲート電極18をマスクにしてシリコン基板1に不純物イオンを注入した後、上記不純物イオンを活性化するためのアニールを行って、ソース拡散層22およびドレイン拡散層23を形成することでLDD構造のMOSトランジスタが完成する。

【0077】なお、図7(k)の工程のアニールを省略し、図7(1)の工程のアニールで不純物イオンの活性化をまとめて行っても良い。

【0078】さらに、本実施形態では、トレンチ10および素子分離トレンチ14を形成する際に、シリコン窒化膜8、シリコン酸化膜7からなるマスク材を用いたが、シリコンとのエッチングにおける選択比を考慮して、シリコン酸化膜7'、シリコン窒化膜8、シリコン酸化膜7からなるマスク材を用いることが望ましい。

【0079】上記実施形態で説明したMOSトランジスタは、例えばDRAM/LOGIC混載のLOGICを構成するMOSトランジスタに用いると良い。この場合、LOGIC領域では高速性、低消費電力などSOIのメリットを享受できる。

【0080】ここで、LOGIC領域のMOSトランジスタの製造プロセスは、DRAM領域のMOSトランジスタのそれと比べて、複数のトレンチを形成するためのエッチング工程と、複数のトレンチを1つの平板状の空洞に変える熱処理工程とが多いだけ、両者の製造プロセスは基本的に同じである。

【0081】したがって、従来のDRAM/LOGIC混載の製造プロセスをほぼそのまま踏襲できるので、LOGIC領域では高速性、低消費電力などSOIのメリットを享受できるDRAM/LOGIC混載を容易に実現することができる。

【0082】(第3の実施形態)図8は、本発明の第3の実施形態に係るMOSトランジスタの製造方法を示す断面図である。第2の実施形態では平板状の空洞をシリコン酸化膜で埋め込む方法について説明したが、本実施形態では平板状の空洞をシリコン酸化膜で埋め込まず、空洞の状態のまま残す方法について説明する。

【0083】まず、図8(a)に示すように、図1(a)~図1(e)に示した第1の実施形態と同様の方法により、シリコン基板1内に平板状の空洞5を形成する。

【0084】次に図8(b)に示すように、熱酸化によ

り平板状の空洞5の内面およびシリコン基板の表面にシリコン熱酸化膜24を形成する。上記熱酸化は、例えば900℃、酸素とHClとの混合ガス雰囲気中で行う。シリコン熱酸化膜24は、後工程において、図6(g)で示したようにRIE時におけるストッパーとしての役割を果たす。

【0085】次に図8(c)に示すように、シリコン基板1上にシリコン熱酸化膜24を介してシリコン窒化膜25を形成した後、その上に素子分離(STI)を形成するためのフォトリソパターン26を形成する。

【0086】次に図8(d)に示すように、フォトリソパターン26をマスクとして、シリコン窒化膜25、シリコン熱酸化膜24を異方性エッチング例えばRIEにより順次パターニングし、フォトリソパターン26のパターンをシリコン窒化膜25、シリコン熱酸化膜24に転写する。

【0087】次にフォトリソパターン21を剥離した後、第2の実施形態で示した図6(f)以降の工程と同様の工程を経て、図9に示すLDD構造のMOSトランジスタが完成する。

【0088】本実施形態でも第2の実施形態と同様な効果を得ることができ、さらに本実施形態では平板状の空洞5をシリコン酸化膜で埋め込む工程がないので、プロセスの簡略化を図れるという効果も得られる。

【0089】(第4の実施形態)図10は、本発明の第4の実施形態に係るMOSトランジスタの製造方法を示す工程断面である。

【0090】まず、図10(a)に示すように、シリコン基板1上にマスク材2、フォトリソパターン27を順次形成する。

【0091】ここで、フォトリソパターン27が、第1の実施形態の図1(a)のフォトリソパターン3と異なる点は、複数のトレンチ4に対応したパターン(開口部)の他に、そのパターンの近傍に、開口面の面積がトレンチ4よりも広いトレンチに対応したパターン(開口部)を有していることである。

【0092】次にフォトリソパターン27をマスクとして、異方性エッチング例えばRIEによりマスク材2をパターニングし、フォトリソパターン27のパターンをマスク材2に転写し、その後フォトリソパターン27を炭化して剥離する。

【0093】次に図10(b)に示すように、マスク材2をマスクとして異方性エッチング例えばRIEによりシリコン基板をパターニングして、シリコン基板の表面に複数のトレンチ4およびこれらのトレンチ4の近傍にそれらよりも開口面の面積が広いトレンチ28を形成する。

【0094】次に図10(c)に示すように、マスク材2を剥離した後、減圧下の非酸化性雰囲気、例えば1100℃、10 Torrの100%水素雰囲気中にて高温



アニールを行うことにより、複数のトレンチ4およびトレンチ28を、平板状の空間領域を有し、かつ基板表面に開口面を有する閉じていない1つの空洞5'に変える。

【0095】ここでは、複数のトレンチ4に関しては、第1の実施形態で示したように、シリコンの表面マイグレーションによる形状変化を利用しているため、各トレンチ4の底部で球形の空洞が形成され、その結果として平板状の空洞が形成されるが、大きいトレンチ28の下部ではその角部のみ丸まるだけである。

【0096】図12に、トレンチ4のレイアウトおよび空洞の平面図を示す。これは図3に対応する図であり、図12の左側の平面図（トレンチレイアウト）は図3の左側の平面図（トレンチレイアウト）に相当し、図12の右側の平面図（平板状の空洞）は図3の右側の平面図（平板状の空洞）に相当する。

【0097】ここで、大きなトレンチ28は、以下で示すように空洞5の内面酸化用のトレンチであるため、その個数は1つ以上であれば良く、またその位置は、複数のトレンチ4の形状変化によって得られる平板状の空洞と繋がれば良いため、図12に示した位置に限定されるものではなく、複数のトレンチ4の近傍であれば任意である。そして、大きなトレンチ28の断面形状も任意である。

【0098】次に図10(d)に示すように、空洞5'の内面にシリコン熱酸化膜11を形成した後、空洞5'を充填するように、シリコン酸化膜12を全面に堆積する。

【0099】次に図11(e)に示すように、空洞5'の外部の不要なシリコン酸化膜12をCMPにより除去して表面を平坦化する。

【0100】次に図11(f)に示すように、シリコン酸化膜29、シリコン窒化膜30、素子分離トレンチ(STI)を形成するためのフォトリソパターン31を基板上に順次形成する。

【0101】次に図11(g)に示すように、フォトリソパターン31をマスクとして、シリコン窒化膜30、シリコン酸化膜29を異方性エッチング例えばRIEにより順次パターニングし、フォトリソパターン31のパターンをシリコン窒化膜30、シリコン酸化膜29に転写する。

【0102】次にフォトリソパターン31を炭化して剥離した後、第2の実施形態で示した図6(f)以降の工程と同様の工程を経て、図13に示すLDD構造のMOSトランジスタが完成する。

【0103】(第5の実施形態)本実施形態では、第1～第4の実施形態に適用可能な改善技術について説明する。上述した平板状の空洞を有するシリコン基板(SON基板)の形成方法においては、その形成方法上どうしても空洞5の形成領域の端部に段差が生じてしまう(図

14参照)。

【0104】上記段差は、空洞5上のシリコン基板1上にデバイスを作製しようとした際に問題となる。例えば、段差をまたいで電極となる金属膜をパターニングする際には、設計通りにパターニングできず、その結果として配線のショートやオープン等の問題が起こる。さらに、酸化処理を行う際には、段差付近の基板内に応力が生じ、結晶欠陥等の問題が起こる。

【0105】この種の段差を解消する方法としては、例えば、CMP法またはRIE法を用いて表面を平坦化する方法が考えられる。後者の方法は、表面が低い方の領域を酸化膜などのマスク膜で覆った状態で、表面が高い方の領域をRIE法によりエッチングし、段差を解消するという方法である。しかし、いずれの方法も段差を解消するために、一つ以上の工程を別に追加する必要があり、工程数の増加、作製プロセスの複雑化を招いてしまう。

【0106】そこで、本発明では、空洞5を形成しない領域にも、予めアスペクト比の小さな複数のトレンチを配列形成しておく。このとき形成するトレンチは、トレンチの下部に空洞が形成できないようなアスペクト比の小さなトレンチ(ダミートレンチ)であり、その密度は、予測される段差を解消できるように設計する。このように設計されたトレンチを予め形成しておくことで、空洞5の形成領域端部の段差を容易に解消することができる。

【0107】以下、図15を参照しながら上記改善技術を用いたSON基板の形成方法について説明する。

【0108】まず、図15(a)に示すように、第1の実施形態と同様に、シリコン基板1上にマスク材2、フォトリソパターン3を形成し、フォトリソパターン3をマスクとしてマスク材2をエッチングし、マスク材2にフォトリソパターン3のパターンを転写する。

【0109】次に図15(b)に示すように、フォトリソパターン3を剥離した後、マスク材2をマスクとしてシリコン基板1をパターニングして、トレンチ4、4'を配列形成する。ここで、トレンチ4、4'のアスペクト比は互いに異なっており、同様に密度も互いに異なっている。アスペクト比および密度に関しては後述する。

【0110】次に図15(c)に示すように、シリコン酸化膜2を弗化水素水溶液により除去する。

【0111】次にこの状態のシリコン基板1を還元性雰囲気中にて熱処理する。この熱処理により、シリコン基板1の表面エネルギーが最小になるように、シリコンの表面マイグレーションが生じる。

【0112】その結果、トレンチ4が形成された領域の形状は図15(d)、図15(e)に示すように変化し、シリコン基板1中に板状の空洞5が形成される。こ

のとき、空洞が形成された領域上の基板表面は、図15(a)の工程時と比べて低くなる。

【0113】一方、トレンチ4'が形成された領域の形状は図15(d)、図15(e)に示すように変化し、トレンチ4'は消滅するが空洞5は形成されない。このとき、トレンチ4'が消滅した領域上の基板表面は、空洞が形成された領域上の基板表面と同程度低くなる。その結果、図14(b)に示したような段差を招かずに、シリコン基板1中に空洞4を形成することができる。

【0114】以下、それぞれの工程について詳細に説明する。

【0115】まず、初期のトレンチ形状に対して得られる空洞の形状および個数について、図16および図17を用いて説明する。図16に示すように、初期のトレンチ形状が円筒状の場合、得られる空洞の形状は球状である。初期の円筒状のトレンチの半径を $R_0$ とすると、球状の空洞の半径 $R_1$ は $1.88R_0$ 、上下の隣り合う2つの球状の空洞間の間隔 $\lambda$ は $8.89R_0$ となる。

【0116】したがって、図17に示すように、初期の円筒状のトレンチの深さ $L$ を空洞の間隔 $\lambda$ で割ること  
20 で、得られる空洞の個数が見積られる。本発明者等は、半径 $R_0 = 0.2\mu\text{m}$ のトレンチを形成し、その深さ $L$ を $1\mu\text{m}$ と $2\mu\text{m}$ とに変えて調べてみた。

【0117】その結果、同じ条件の熱処理、例えば、水素雰囲気中、 $1100^\circ\text{C}$ 、 $10\text{ Torr}$ 、 $10\text{ min}$ に対して、深さが $1\mu\text{m}$ の場合には、トレンチが消失して基板表面が単に平坦化されるだけであった。一方、深さが $2\mu\text{m}$ の場合には、球状の空洞が1つ形成された。この結果は、図17に示すグラフから見積られる空洞の個数と一致しており、図17を用いて空洞の個数を試算で  
30 きることを確認した。

【0118】次に形成するトレンチのアスペクト比、密度について述べる。トレンチ4は、空洞5を基板1内に形成するためのものである。そのためには、トレンチ4のアスペクト比を5以上とする必要がある。また、管状または板状の空洞5を形成するためには、トレンチ4を線状または格子状に予め配列しておく必要がある。その際のトレンチ4同士の間隔 $D$ はトレンチ4の半径 $R$ に対して、 $D < 4R$ となるように設定する必要がある。

【0119】一方、トレンチ4'は、空洞5を形成する  
40 ときに生じる段差を解消するためのものである。そのためには、シリコン基板1内に空洞を生じないように、トレンチ4'のアスペクト比を3以下とする必要がある。また、トレンチ4'の密度は、段差の大きさにより決めら\*

$$\delta = \alpha P a' / E t'$$

ここで、 $P$ はシリコン層にかかる荷重を表す。 $E$ はヤング率を表し、シリコンの場合、 $E = 0.13 (\text{N}/\mu\text{m}^2)$ である。 $\alpha$ はESS構造(=  $b/a$ )によって変わる無次元の係数であり、ESS構造が長方形で $b/a \geq 2$ の場合には、 $0.0284$ であり、ESSが正方形で  
50

\*れる。例えば、半径 $0.2\mu\text{m}$ 、深さ $2\mu\text{m}$ のトレンチ4'を、その密度を単位面積当たり $1.6$ 個( $/\mu\text{m}^2$ )として形成した際には、空洞5を形成した後の段差は $0.12\mu\text{m}$ であった。この場合、例えば、半径 $0.5\mu\text{m}$ 、深さ $2\mu\text{m}$ のトレンチ4'を、その密度を $0.76$ 個( $/\mu\text{m}^2$ )として形成すれば良いことになる。

【0120】以上述べたように、本実施形態によれば、空洞となるトレンチを配列形成するときに、空洞とならないようにアスペクト比および密度が設計された複数のダミートレンチを同時に配列形成することで、工程数の増加、作製プロセスの複雑化を招かずに、シリコン基板中の空洞の形成領域端に生じる段差を容易に解消することができる。ここでは、空洞の形状が特に板状の場合について説明したが、他の形状でも良い。すなわち、ここで述べた方法は、段差が生じる空洞であればその形状に関係無く有効である。

【0121】(第6の実施形態)本実施形態では、第1~第4の実施形態に適用可能な他の改善技術について説明する。上述した平板状のESSを有するSON基板の形成方法において、大面積のESSを形成する場合、平板状のESSがつぶれてしまうという問題がある。

【0122】具体的には、ESS幅が $20\mu\text{m}$ と小さい場合は、図18(a)に示すように、平板状のESSはつぶれないが、ESS幅が $180\mu\text{m}$ と大きい場合には、図18(b)およびその拡大図である図18(c)に示すように、平板状のESSがつぶれてしまう。なお、図15において、トレンチをESSに変えるための熱処理は、 $100\%$ 水素雰囲気中での $1100^\circ\text{C}$ 、 $10\text{ Torr}$ 、 $10\text{ min}$ の熱処理とした。

【0123】本発明者等の鋭意研究によれば、以下に詳説するように、つぶれないサイズのESSを求めるのに有効な計算式を見出し、さらにトレンチをESSに変えるための熱処理を工夫することにより、ESS幅を大きくしても、ESSをつぶれないようにできることが明らかになった。

【0124】まず最初に、ESS構造の強度を計算した結果について説明する。図19に上記計算に用いたESS構造のモデルを示す。ESS幅を $a (\mu\text{m})$ 、ESS奥行きを $b (\mu\text{m})$ 、ESS上のシリコン層の厚さを $t (\mu\text{m})$ とする。この時、シリコン層の撓み $\delta (\mu\text{m})$ は式(1)にて表される。

【0125】

$$\dots (1)$$

$b/a = 1$ の場合には、 $0.0138$ で与えられる。以下の計算では、 $b/a \geq 2$ の場合について示す。

【0126】まず、シリコン層にかかる荷重として、自重を考えてみた。 $t = 1\mu\text{m}$ 、 $a = 180\mu\text{m}$ のESS構造に対して、自重による撓みを計算した結果、 $\delta =$



5.  $2 \times 10^{-5}$  ( $\mu\text{m}$ ) と非常に小さく、無視できる程度であることが分かった。さらに、より大きな構造として  $a = 1\text{mm}$  として試算したところ、 $\delta = 5 \times 10^{-3}$  ( $\mu\text{m}$ ) と大面積の ESS 構造の場合にも、自重による撓みは十分に小さいことが分かった。以上の計算結果から、自重による形状変化はほとんど影響ないことが分かった。

【0127】次に、ESS 内部の圧力と大気圧との差による荷重を考えてみた。ESS 内部の圧力は、ESS 形成時の熱処理時の圧力と同等かそれ以下である。したがって、例えば熱処理の圧力が  $10\text{Torr}$  である場合には、ほぼ大気圧 ( $1.013 \times 10^{-1}$  ( $\text{N}/\mu\text{m}^2$ )) の荷重がかかることになる。

【0128】そこで、自重の計算の場合と同様に、 $t = 1\mu\text{m}$ 、 $a = 180\mu\text{m}$  の ESS に対して、大気圧荷重による撓みを計算した。その結果、 $\delta = 23.2\mu\text{m}$  と大きく、ESS が押しつぶされてしまうことが分かった。これに対して、 $a = 20\mu\text{m}$  と ESS 幅を小さくした場合には、 $\delta = 3.5 \times 10^{-1}\mu\text{m}$  と圧力荷重による形状変化も無視できることが分かった。このことは、図 18 に示した結果と良く一致しており、式 (1) を用いてつぶれを回避できるサイズを有する ESS を設計することができることを意味している。

【0129】次に式 (1) を用いて実際にどの程度の大きさの ESS が実現可能か試算してみた。図 20 に、シリコン層の厚さ  $t$  が  $0.1\mu\text{m}$  と  $1\mu\text{m}$  の場合において、プレート幅 (ESS 幅) に対してどの程度撓むか計算した結果を示す。

【0130】図 20 から、シリコン層の厚さ  $t$  が  $1\mu\text{m}$  と厚い場合には、ESS 幅を  $20\mu\text{m}$  とした場合にも、\*

$$D = 4.2 \times 10^{-5} \exp(-0.56/kT) \quad \dots (2)$$

$k$  はボルツマン定数、 $T$  は絶対温度 (K) である。式 (2) により、 $200^\circ\text{C}$  における水素の拡散長は 60 秒で  $1\mu\text{m}$  と見積もられる。したがって、 $200^\circ\text{C}$  と低温の熱処理でも水素は ESS 内部まで拡散することができ、その結果として ESS 内部の圧力を効果的に可変することができる。すなわち、第 2 の熱処理を水素雰囲気中で行うことで、ESS 内部の圧力を熱処理時の圧力と同等の圧力に変えることができる。

【0135】また、理想気体の法則 ( $PV = nRT$ ) より、温度に比例して圧力も減少してしまうことを考えると、第 2 の熱処理中における降温過程で圧力が低くなってしまふ。そのため、第 2 の熱処理は、予め加圧下で行うことが望ましい。例えば、第 2 の熱処理の温度を  $600^\circ\text{C}$  とした場合に、 $600^\circ\text{C}$  での熱処理の圧力を 3 気圧とすれば良い。

【0136】以上述べたように ESS 内部の圧力を第 2 の熱処理により調整することで、ESS 内部の圧力と大気圧との圧力差による荷重を低減または無くすることができるため、より大面積の ESS 構造を形成すること

\* シリコン層の撓み  $\delta$  は十分に小さいことが分かる。これに対して、シリコン層の厚さ  $t$  が  $0.1\mu\text{m}$  と薄い場合には、ESS 幅が  $10\mu\text{m}$  の場合でも  $0.1\mu\text{m}$  以上撓んでしまうことが分かる。ESS の厚さはシリコン層の厚さ  $t$  と同程度であることから、ESS が押しつぶされてしまうことが予想できる。すなわち、シリコン層の厚さ  $t$  が  $0.1\mu\text{m}$  の場合には、ESS 幅が  $8\mu\text{m}$  程度以上の大きさの ESS は実現不可能であることが分かった。

【0131】本発明者等は、大面積の ESS を形成する方法として、図 21 に示すプロセスシーケンスが有効であることを見出した。すなわち、ESS 構造を形成するための第 1 の熱処理を行った後、チャンバーを開放することなく連続して第 2 の熱処理を行い、ESS 内部の圧力を調整する。

【0132】第 1 の熱処理は ESS を形成するための処理である。そのため、第 1 の熱処理は、シリコン基板の表面で Si の表面マイグレーションの生じやすい高温・減圧下の条件で行うことが望ましく、例えば  $1100^\circ\text{C}$ 、 $10\text{Torr}$ 、 $10\text{min}$  の条件下で行えば良い。熱処理の雰囲気は非酸化性の雰囲気であれば良く、例えば  $100\%$  水素雰囲気が望ましい。

【0133】第 2 の熱処理は ESS 内部の圧力を調整するための処理である。そのため、第 2 の熱処理は、低温・高圧下の条件で行うことが望ましい。熱処理の雰囲気はシリコン中での拡散係数が大きい元素を含む雰囲気、例えば水素を含む雰囲気あるいは  $100\%$  水素雰囲気が望ましい。水素の拡散係数  $D$  ( $\text{cm}^2/\text{s}$ ) は、式 (2) で与えられる。

$$D = 4.2 \times 10^{-5} \exp(-0.56/kT) \quad \dots (2)$$

ができるようになる。また、デバイス作製のために SON 層を薄くしても、ESS が押しつぶされることなくその形状を保ったまま、SON 層上に素子を形成することが可能となる。

【0137】(第 7 の実施形態) SON 基板の ESS 上のシリコン層 (SON 層) にトランジスタを作製する場合、SON 基板のメリットを十分に引き出すためには、SON 層の厚さを  $0.1\mu\text{m}$  以下にする必要がある。しかし、大面積の SON 層の厚さを薄くした場合、上述した通りに、圧力荷重により SON 層が大きく撓んでしまふ。

【0138】図 22 に、式 (1) を用いた計算により求めた、SON 層の厚さと撓み量との関係を示す。SON 層の ESS 幅は  $20\mu\text{m}$  とした。図 22 から、SON 層の厚さを  $1\mu\text{m}$  として作製した後は、その撓みは無視できるほど小さいのに対して、SON 層の厚さを  $0.1\mu\text{m}$  まで薄くした場合には、撓み量は  $1\mu\text{m}$  以上と大きく、ESS 構造が押しつぶされてしまうことが分かる。

【0139】上記結果を考慮すると、第 2 の熱処理は、

第1の熱処理によりESS構造を形成した後、デバイス作製時におけるSON層の薄膜化工程の前に行うことが有効であるといえる。第2の熱処理において、ESS内部の圧力を大気圧近傍に上げておくことで、ESSが押しつぶされることなく、薄いSON層を形成することができる。

【0140】なお、大面積の平板状のESSのつぶれを防ぐ技術については、第15の実施形態でさらに説明する。ただし、図10に示すように、空洞の形成時に一部が開口した空洞5'を形成した場合には、圧力差による荷重を考慮しなくても良いため、自重による撓みが影響しないサイズまでの大面積を有するESSを形成することができる。

【0141】(第8の実施形態)本実施形態は、チャンネル直下にSiGe層等が埋め込まれたシリコン基板(歪み基板)と同様の効果を有し、かつ上記歪み基板が持っている問題点を解決できる、SON基板について説明する。

【0142】まず、従来の歪み基板について説明する。LSIにおけるトランジスタの微細化の主目的の一つは、トランジスタの高速化による高性能LSIの実現である。ところが近年トランジスタのゲート長が0.1μm以下の領域に突入し、その微細化はますます困難になりつつある。

【0143】このような背景の中で、微細化に頼ることのない高速化の実現方法として、シリコン基板の表面付近のチャンネル直下に、例えばSiGe層などの異種組成層が埋め込まれてなる歪み基板が提案されている。

【0144】この種の歪み基板によれば、異種組成層によって基板表面付近のSiに歪みが生じ、これによりキャリア(電子または正孔)の移動度が向上し、トランジスタの高性能化を実現することが可能となる。

【0145】しかし、SiGe層などの異種組成層を埋め込むことは、格子歪みによる結晶欠陥の発生という問題を招くことになる。この問題は、格子歪みを大きくするためには、SiGe層のGe濃度を高くするほど顕著になる。すなわち、従来の歪み基板においては、Geを高濃度に含有するSiGe層を、如何に結晶欠陥を発生させることなく基板内部に形成するかが、プロセス上の大きな問題となっていた。

【0146】以下、図23を用いて、上記問題を解決できる、本発明の第8の実施形態に係るSON基板の形成方法について説明する。

【0147】まず、周知のリソグラフィ法およびRIE法を用いて、図23(a)に示すように、(100)面方位を有する単結晶のシリコン基板1の表面に複数のトレンチ4を配列形成する。

【0148】次に図23(b)に示すように、水素とアルゴンとの混合雰囲気中で、圧力10 Torr、1100℃、3分間の熱処理によって、シリコン基板1の表面

のシリコンを流動させ、空洞3を形成する。このような熱処理にて形成された空洞3の厚さ(基板深さ方向の寸法)は1.2μm、空洞3上のシリコン層(SON層)33の厚さは0.6μmとなった。

【0149】次に図23(c)に示すように、空洞5に達するトレンチ10を周知のフォトリソグラフィおよびエッチングを用いて形成する。トレンチ10の開口面は0.3μm×0.5μmの長方形で、トレンチ10の深さは2.5μmである。

【0150】次に図23(d)に示すように、シリコン基板1の表面を熱酸化し、厚さ0.4μmのシリコン酸化膜32を形成する。このような熱酸化を行った結果、SON層33の厚さは0.6μmから0.4μmに減少した。

【0151】最後に、図23(e)に示すように、RIE法を用いてシリコン基板1上のシリコン酸化膜32を選択的に除去し、空洞5および溝10内にシリコン酸化膜32を選択的に残置させ、SON基板が完成する。

【0152】このようにして得られたSON基板のSON層33内の内部応力をラマン分光法により測定したところ、250MPaの引っ張り性(tensile)応力が存在することが確認された。

【0153】このような引っ張り性応力が発生した原因は、シリコン基板1の方がシリコン酸化膜32よりも熱膨張係数が多いことにある。シリコン基板1を高温で酸化する際には歪みが緩和される。これに対し、高温のシリコン基板1を室温に降温する際には歪みの緩和が起きない。その結果、シリコン酸化膜32よりも相対的に熱膨張係数の大きいシリコン基板1側に引っ張り性の応力が発生する。

【0154】比較のために作成したシリコン酸化膜32を形成していないSON基板について、そのSON層内の内部応力を同様に測定したところ、有意な応力値は見られなかった。このことは、シリコン酸化膜32を形成するための熱酸化工程およびその後のシリコン酸化膜を空洞5およびトレンチ10内に選択的に残置するためのエッチング工程にて得られた構造が、SON層33の内部に意図的に応力場を形成する方法として有用であることを示している。

【0155】さらに、本実施形態のSON基板は、SiGe層などの異種組成層を埋め込むことは行っていないので、格子歪みによる結晶欠陥の発生という問題は原理的に起こらない。

【0156】さらに、本実施形態のSON基板は、従来の酸化膜埋め込み基板(SOI基板)に比較しても有利な構造であることが見出された。従来のSOI基板であってもSOI層の下には酸化膜が存在するため、原理的には本実施形態のSON基板と同様の効果が期待できる。

【0157】しかし、従来のSOI基板の場合、酸化膜

がSOI層に比べて薄すぎるので、例えば酸化膜は1  $\mu$ m以下、SOI層は1mmであるため、酸化膜により大きな応力をSOI層内に発生させることはできない。

【0158】これに対して本実施形態のSON基板の場合、従来のSOI基板のSOI層に相当するSON層33の厚さが0.6  $\mu$ mであるため、すなわちSON層33とシリコン酸化膜32とが同程度の薄さであるため、SON層33に大きな応力を発生させることができる。

【0159】図24に、本実施形態のSON基板を用いて作製したMOSトランジスタの断面図を示す。このMOSトランジスタの移動度を測定したところ、従来の通常のバルク基板上に作成したものに比べて35%の増加が見られた。さらに、SOI基板上に形成したMOSトランジスタまたは空洞の内面を酸化していないSON基板上に作成したMOSトランジスタに比べても、移動度は高かった。

【0160】本実施形態のSON基板上に形成したMOSトランジスタの移動度が、従来のSOI基板上に形成したMOSトランジスタのそれに比べて高い理由は、基板内部に空洞5が存在することで従来のSOI基板よりもさらに寄生容量を低減できたこと、シリコン酸化膜32によってSON層内に高い応力を有する状態を実現できたことの相乗効果によるものであると考えられる。

【0161】なお、本実施形態では空洞5の内部を酸化するために、空洞5を形成した後にトレンチ10を形成したが、図25に示す方法でも可能である。この方法では、まず図22(a)に示すように、複数のトレンチ4およびそれよりも開口径が大きくかつ深い一つのトレンチ10を同時に形成する。その後、複数のトレンチ4を空洞に変えるための熱処理を行う。しかし、図25(b)に示すように、大きなトレンチ10の上部がふさがらないので、図23(c)に示したような開口構造の空洞が形成されることになる。この後は、図23(d)以降と同じである。なお、トレンチ4、10のレイアウトは図22(a)のものに限定されず、種々のレイアウトが採用可能である。

【0162】また、本実施形態では、空洞5およびトレンチ10の内面のみにシリコン酸化膜32を選択的に形成するために、基板表面を含む全面にシリコン酸化膜32を形成した後、基板表面上のシリコン酸化膜32を選択的に除去したが、以下のようにしても良い。すなわち、基板表面上にシリコン窒化膜等の酸化防止膜を選択的に形成した後、酸化処理により空洞内面のみを酸化するようにしても良い。

【0163】また、本実施形態では、SON層内に引っ張り応力を発生させるために、空洞5等の内部にシリコン酸化膜32を形成したが、他の膜を形成しても良い。すなわち、単結晶シリコンと熱膨張係数の違う材料で形成された膜（異種材料膜）であれば利用可能である。さらに、単結晶シリコンと熱膨張係数が大きく違わない材

料で形成された異種材料膜であっても、半導体膜側に歪みを生じさせることができれば利用可能である。以上の条件を満足すれば、空洞5の内部に形成する膜（応力発生膜）は、絶縁膜もしくは金属膜であっても構わない。

【0164】さらに、本実施形態では、SON層33およびシリコン酸化膜32の厚さがほぼ同じ場合について説明した。シリコン酸化膜32によりSON層33内に発生する歪み量を大きくするためには、SON層33の厚さに対するシリコン酸化膜32の厚さの比は大きい程良い。しかし、この比が大きすぎると、基板強度の点で問題が生じてしまう。

【0165】本発明者等の種々の実験から、SON層33等の半導体層の厚さとシリコン酸化膜等の異種材料膜との厚さとの関係は、（半導体層の厚さ）／（半導体層の厚さ＋異種材料膜の厚さ）の比が0.1から0.9の範囲の値であれば良いことが明らかとなった。

【0166】また、本実施形態では、空洞の内壁全体にシリコン酸化膜32を形成したが、SON層33内に引っ張り応力を生じさせることができれば、空洞の一部にシリコン酸化膜32等の応力発生膜を形成しても良い。

【0167】（第9の実施形態）本実施形態は、チャネル直下にSiGe層等が埋め込まれたシリコン基板（歪み基板）と同様の効果を有し、かつ上記歪み基板が持っている問題点を解決できる、SON基板について説明する。

【0168】図26は、本発明の第9の実施形態に係るSON基板の形成方法を示す断面図である。

【0169】まず、図26(a)に示すように、周知のリソグラフィ法とRIE法を用いて複数のトレンチ4をシリコン基板1の表面に配列形成する。

【0170】次に図26(b)に示すように、Geを原子数密度比で30%含む厚さ100nmのSiGe層41を、トレンチ4の内面を被覆するように、全面にエビタキシャル成長させる。

【0171】次に図26(c)に示すように、圧力10<sup>-7</sup>Paの真空中での1050℃、5分間の熱処理により、シリコン基板1の表面を流動させることで、上部、下部および側部にSiGe層（埋め込みSiGe層）41aが存在する空洞5を形成する。このとき、シリコン基板1の表面にもSiGe層（在留SiGe層）41bが形成される。

【0172】次に熱酸化により基板表面にシリコン酸化膜（不図示）を形成し、埋め込みSiGe層41a中のGe濃度を高くした後、上記シリコン酸化膜および在留SiGe層41bを除去する。これにより、埋め込みSiGe層41aのGe組成比を高くできる。

【0173】最後に、図26(d)に示すように、シリコン基板1の表面にGeを含まないシリコン層42をエビタキシャル成長させて、SON基板が完成する。

【0174】このようにして得られたSON基板の空洞5上のシリコン基板1およびその上のシリコン層42の応力を測定したところ、その値は80MPaであった。この結果から、埋め込みSiGe層41aを基板内部に形成することは、SON層中に意図的に応力を発生させる方法として有効であることが分かった。

【0175】本実施形態では、トレンチ4を形成した後SiGe層41をエピタキシャル成長させたが、基板全面にSiGe層41をエピタキシャル成長させた後にトレンチ4を形成しても良い。この場合、トレンチ4を形成した後、熱処理により基板表面を流動させ、空洞5および埋め込みSiGe層41aを形成する。

【0176】また、基板表面の流動後に熱酸化によりシリコン酸化膜を形成することは、埋め込みSiGe層41aのGe組成比を高めるために有効な方法であるが、必ずしも必要ではない。

【0177】また、基板表面の流動後にエピタキシャル成長によりSi層42を形成することは、Geを含まないSON層を形成するために有効な方法であるが、デバイス応用上その必要がなければSi層42を形成する必要はない。

【0178】本実施形態のSON基板は、図27に示す従来のSiGe層41cを有する基板に比べて、以下のような利点がある。

【0179】従来技術では、シリコン基板1上に欠陥が少なく、かつGe組成比の高いSiGe層41cを形成するために、シリコン基板41をシード(seed)としてSiGe層41cのGe組成を濃度の低い状態から高い状態まで、膜厚方向に連続的に変化させるという方法を取っていた。そのため、SiGe層41cの厚さは、数百nm程度となる。すなわち、SiGe層42を厚く形成する必要がある。

【0180】これに対して本実施形態では、従来のSiGe層41cに相当するSiGe層41aは、SiおよびSiGeの表面マイグレーションにより形成しているため(図26(c))、空洞5上のSiGe層41aには欠陥は生じない。そのため、SiGe層41aを厚く形成する必要はなく、その厚さを数十nmまで薄くすることができる。この様子を図28に示す。下に空洞5が形成されていない領域43内のシリコン基板1およびシリコン層42中には多くの欠陥が発生し、欠陥密度が高くなる。一方、素子を作成する領域である下に空洞5が形成された領域44内のシリコン基板1およびシリコン層42中には実質的に全く欠陥が発生せず、欠陥密度は十分に低くなる。

【0181】本実施形態では、異種材料膜(SiGe層41a)の材料としてSiGeを用いたが、第8の実施形態と同様に、基板材料(Si)とは異なる他の材料を用いることが可能である。

【0182】さらに、第8の実施形態と同様に、Si層

42等の半導体層の厚さとSiGe層41等の異種材料膜との厚さとの関係は、(半導体層の厚さ)/(半導体層の厚さ+異種材料膜の厚さ)の比が0.1から0.9の範囲の値であれば、本発明の効果が実現されることが確認された。さらにまた、SON層内に引っ張り応力を生じさせることができるのであれば、空洞の一部にSiGe層41を形成しても良い。

【0183】(第10の実施形態)本実施形態では、本発明のESS技術をフォトニック結晶の作製に応用した例について説明する。

【0184】屈折率の異なる材料を周期的に形成することで、フォトニック結晶を形成することができる。フォトニック結晶は、超小型光集積回路を実現するための新たな光学材料として注目されている。

【0185】その上、フォトニック結晶はシリコン上に形成できることから、これまでの実装上の問題を回避でき、CMOSプロセスと融合させた将来の光電子集積回路の実現が期待されている。

【0186】これまで、フォトニック結晶の作製方法としては多く提案されているが、特に3次元のフォトニック結晶はその製造方法が困難であった。また、屈折率の差が大きい材料の組み合わせが望ましく、例えばシリコンと空気の組み合わせは理想的であるが、その形成方法は非常に困難とされている。

【0187】図29に、上記問題を解決できる、本発明の第10の実施形態に係る3次元周期構造体(フォトニック結晶)の模式図を示す。図において、51はシリコン基板を示しており、このシリコン基板51内には同じサイズの球形の空洞52(奥行き方向に対して順に色を濃く示してある)が周期的に3次元的に配列されている。

【0188】次に本実施形態の3次元周期構造体の製造方法について、図30を用いて説明する。

【0189】まず、図30(a)~30(c)に示すように、シリコン基板51上に酸化膜などからなるマスクパターン(不図示)を形成し、このマスクパターンをマスクにして反応性イオンエッチング法によりシリコン基板51をエッチングして同じ深さ同じ開孔径のトレンチ52を2次元的に配列形成し、その後上記マスクパターンを除去する。

【0190】次に図30(d)~30(f)に示すように、トレンチ52が形成されたシリコン基板51に、非酸化性の雰囲気中での高温・減圧下の熱処理を施すことで、シリコン基板51内にサイズが揃った複数の球形の空洞(ESS)53が周期的に配置した空洞パターンを形成する。具体的には、基板の深さ方向に関しては同一線上に等間隔で空洞が配列され、基板内の同一平面内に関しては格子状に空洞が配列された空洞パターンを形成する。

【0191】空洞53を形成するための熱処理は、シリ

コンの表面マイグレーションを起こすためのものである。そのため、上記熱処理前に、基板表面の自然酸化膜を完全に除去することが望ましい。自然酸化膜を十分に除去するためには、熱処理の雰囲気为非酸化性に保つことが有効である。これを容易に実現するためには熱処理の雰囲気を例えば水素100%の雰囲気とすることが望ましい。また、シリコンの表面マイグレーションを促進させるためには、10 Torr 以下の圧力での熱処理を行うことが望ましい。典型的な熱処理条件としては、雰囲気100%水素雰囲気、温度が1100℃、圧力が10 Torr、時間が10minがあげられる。

【0192】ここでは、マスクパターンを除去した後に熱処理を行った場合について示したが、マスクパターンを除去せずに熱処理を行っても良い。ただし、この場合、熱処理後にマスクパターンを除去し、再度熱処理を行って基板表面を平坦化する必要がある。

【0193】本実施形態の3次元周期構造体は、屈折率の異なる材料(シリコン/空洞すなわち空気)を周期的に配列したものであるため、光に対して禁制帯を有するフォトリソニック結晶となる。フォトリソニック結晶の特性の一つである波長依存性は、全て(空洞5の周期/波長)でスケールされる。したがって、空洞5の周期を使用波長に応じたもととすることにより、所望の波長で動作するフォトリソニック結晶を作成することができる。

【0194】空洞5の周期を制御する具体的な方法としては、深さ方向の周期に関してはトレンチ52の径の大きさおよび深さを変えることがあげられる。一方、深さ方向と垂直な方向の周期に関してはトレンチ52の配列の周期を変えることがあげられる。

【0195】以上述べたように本実施形態によれば、シリコンの表面マイグレーションを利用することで、屈折率差の大きな材料(シリコン:3.6/空気:1)の組み合わせで、3次元周期構造体を容易に実現することができる。この3次元周期構造体は、光を制御することができるフォトリソニック結晶として動作する。したがって、本実施形態の3次元周期構造体を光導波路、偏光子、プリズム等の光学素子として動作させることができる。

【0196】さらに、上記方法によれば、空洞5の周期を1μm程度以下にすることができる。すなわち、微細な光学素子をシリコン基板中に形成することができる。これにより、光学素子とCMOSプロセスとを融合させた光電子回路を容易に作製することが可能となる。

【0197】(第11の実施形態)図31は、本発明の第11の実施形態に係る3次元周期構造体(フォトリソニック結晶)の模式図である。本実施形態が第10の実施形態と異なる点は、シリコン基板51内に、サイズ(直径)の異なる空洞53sおよび空洞531が周期的に配列してあることにある。

【0198】具体的には、基板の深さ方向に関しては複

数の同じサイズの球形の空洞53sまたは空洞531(奥行き方向に対して順に色を濃く示してある)が同一線上にそれぞれ等間隔で配列され、基板内の同一平面内に関してはサイズの異なる空洞53sおよび空洞531がそれぞれ格子状に配列されている。

【0199】次に本実施形態の3次元周期構造体の製造方法について、図32を用いて説明する。

【0200】まず、図32(a)~32(c)に示すように、シリコン基板51上に酸化膜などからなるマスクパターン(不図示)を形成し、このマスクパターンをマスクにして反応性イオンエッチング法によりシリコン基板51をエッチングして同じ深さで開孔径が互いに異なるトレンチ52sおよびトレンチ521を格子状に配列形成する。その後、上記マスクパターンを除去する。

【0201】次に図32(d)~32(f)に示すように、トレンチ52sおよびトレンチ521が形成されたシリコン基板51に、非酸化性の雰囲気中での高温・減圧下の熱処理を施すことで、シリコン基板51内に深さ方向にはサイズの揃った球状の空洞53sまたは空洞531が周期的に配列し、深さ方向と垂直な方向には異なるサイズの空洞53sおよび空洞531が交互に周期的に配列した空洞パターンを形成する。なお、第10の実施形態で述べたように、マスクパターンを除去せずに熱処理を行っても良い。

【0202】このようにして得られた空洞パターンを有するシリコン基板51は、第10の実施形態と同様に光を制御することのできるフォトリソニック結晶とみなせ、光学素子として動作させることができる。

【0203】本実施形態でも、第10の実施形態と同様の方法により空洞の周期、すなわち動作波長を制御できる。さらに実施形態によれば、サイズの異なる空洞52s、521を用いているので、そのサイズの違いを利用することにより、より広範囲に動作波長を制御することができる。

【0204】第10および第11の実施形態において、水素を含む雰囲気中での熱処理により空洞52、52s、521を形成した場合、これらの内部には水素が残る。さらに、本発明者等の研究によれば、空洞52、52s、521は角の取れた多面体で構成されていることを確認した。より正確には、所定の面方位を有する多面体で構成されていた。

【0205】さらに、多面体を構成する面の面方位がシリコン基板の主面である(100)面となす角度を調べたことによって以下のことが分かった。すなわち、多面体を構成する面は、{100}面群、{110}面群、{111}面群、{311}面群、{531}面群、{541}面群から構成されていることが明らかになった。これらの面群は表面エネルギーが低いことから、上記空洞は熱的に安定であるといえる。

【0206】(第12の実施形態)ここでは、本発明の

ESS技術を光集積回路に適用した実施形態、特に光導波路に適用して実施形態について説明する。

【0207】光集積回路技術においては、光受動素子、発光素子などの光素子はSi基板またはGaAs基板などの半導体基板上に形成され、光導波路は光素子とは別に石英(SiO<sub>2</sub>)を主成分として形成される。したがって、光導波路と光素子との接続部においては、必然的に半導体領域中に光を伝播させる必要が生じる。

【0208】半導体領域中に光を伝播させる方法の一つとして、Siの方がSiO<sub>2</sub>よりも屈折率の大きいことを利用する方法がある。この方法は、Siで形成した光導波路の径を上記光の波長の数倍程度の5μm程度以下にし、光導波路とその周囲のSi領域との界面(Si/SiO<sub>2</sub>界面)で光を全反射させることで、Si領域中に光を閉じ込めるといものである。

【0209】Siを主成分とする光導波路においては、その閉じ込め性を上げるために、その周囲の物質の屈折率がSiに対して低ければ低いほど望ましい。Siの屈折率は3.4であるのに対しSiO<sub>2</sub>の屈折率は1.5である。

【0210】SiO<sub>2</sub>よりも低い屈折率を有する媒体といえば当然真空(屈折率=1)である。現実的には真空ではなく空気を媒体とすることになる。光導波路として用いられるSi領域の周囲を空気にする方法として、例えばSOI基板を用いることが考えられるが、その実現は困難である。

【0211】その理由は、SOI基板のSi領域をエッチングすることで、Siが露出した上面および側面を有するパターンは容易に形成することはできるが、SOI基板のSiO<sub>2</sub>領域をエッチングし、上記パターンの下のSiO<sub>2</sub>領域のみを選択的に除去することは困難であるからである。

【0212】図33は、本発明の第12の実施形態に係る光導波路を示す斜視図である。図において、61は(100)面方位を有する単結晶のシリコン基板を示しており、このシリコン基板61には上面、側面および底面の周囲が空気であるSiパターン62が形成されている。

【0213】Siパターン62とその周囲の空気は光導波路を構成している。この光導波路内には例えば波長1.4μmが伝搬する。実際の光回路では、Siパターン62の一端は図示しない光機能素子の発光部と繋がり、他端は図示しない光機能素子の受光部と繋がる。

【0214】このような光導波路は、今まで述べてきたESS技術を用いて容易に形成することができる。まず、公知のリソグラフィ法およびRIE法を用いて、シリコン基板61の表面に複数のトレンチを形成する。次に還元雰囲気中での高温の熱処理により、シリコンの表面マイグレーションを起こして、シリコン基板61内に大面積の空洞(ESS)を形成する。そして、公知のリ

ソグラフィ法およびRIE法を用いて、シリコン基板の空洞上のシリコン領域(SON層)のうちSiパターン62として用いない部分を選択的に除去する。

【0215】図34に従来のSOI基板を用いた光導波路の斜視図を示す。図において、61はシリコン基板、63はSiO<sub>2</sub>層、64はシリコン基板を加工して形成したSiパターンを示している。従来のSiパターン64の上面および側面の周囲は本発明のSiパターン62と同様に空気であるが、底面は本発明のSiパターン62とは異なりSiO<sub>2</sub>層63である。SiO<sub>2</sub>の屈折率(=1.5)は空気の屈折率(=1.0)に比べて大きい。

【0216】そのため、図33に示した本発明の光導波路は、図34に示した従来の光導波路に比べて、外部に漏れ出る光量が圧倒的に少なくなり、光導波路として優れた特性(光閉じ込め特性)を持つものであるといえる。

【0217】以上述べたように本実施形態によれば、良好な光閉じ込め特性を有する光導波路を実現でき、その結果として光損失の少ない光集積回路を実現することが可能となる。

【0218】(第13の実施形態)インダクタ、キャパシタ等の受動素子は、トランジスタ等の能動素子と同様に半導体基板上に形成される。受動素子と半導体基板との間の寄生容量、寄生抵抗(渦電流損: eddy-current loss)は大きい。

【0219】そのため、従来のインダクタ、キャパシタは、それに流れる信号の周波数が1GHz以上の高周波数になると、以下のような問題が起こる。すなわち、インダクタに関してはQ値が低くなり、キャパシタに関しては高精度なキャパシタンスを得ることが困難になるという問題が起こる。

【0220】本発明は、上記問題を解決するために、半導体基板として平板状の空洞を有するシリコン基板を用い、そして平板状の空洞上のシリコン基板上に受動素子を形成する。このような構成であれば、受動素子と半導体基板との間の寄生容量、寄生抵抗を効果的に小さくでき、上述した問題を解決できる。

【0221】図35に本発明を適用したインダクタを有する半導体装置の平面図および断面図を示す。また、図36に本発明を適用したMIMキャパシタを有する半導体装置の断面図を示す。図において、70はシリコン基板、71は平板状の空洞(ESS)、72はスパイラルインダクタ、73はメタル電極、74は絶縁膜、75はメタル電極をそれぞれ示している。シリコン基板70上にインダクタおよびキャパシタの両方を形成しても良い。

【0222】平板状の空洞71を有するシリコン基板70の形成方法は、上述した実施形態のいずれの形成方法を用いて良い。このようなシリコン基板70を形成した



後、従来通りにインダクタ等の受動素子、さらにはトランジスタ等の能動素子および配線層を形成する。空洞71の形成後に、受動素子等を形成する理由は、空洞71の形成には高温での熱処理が必要であるからである。

【0223】(第14の実施形態)近年、半導体の分野においては、デバイスやモジュールの高密度化、高機能化が進んでいる。このような高密度化、高機能化に伴いデバイス等の発熱量が増大し、放熱が非常に難しくなってきた。

【0224】従来の放熱方法の一つとして、デバイスまたはパッケージに放熱フィンを取り付け、デバイス等からの熱を熱伝導によってフィンに伝え、フィンからの熱伝導により空気中に熱を逃がす方法が知られている。しかし、上述したように発熱量が増大すると、十分な放熱効果は得られなくなる。そこで、近年、機器全体の小型化や強制空冷(ファン)による放熱が主流となってきた。しかし、それでも必要な放熱効果を得ることが困難になってきている。

【0225】スーパーコンピュータ等のメインフレームにおいては、液体窒素またはフロン等の冷媒による冷却が主流である。この冷却方法を半導体デバイス等に適用することも考えられる。しかし、上記冷媒中に存在する不純物によって、端子や配線等が腐食するなどの問題が起こる。

【0226】本発明は、上記問題を解決するために、半導体基板として冷媒を流すための複数の冷却パイプを含むシリコン基板を用いる。このような構成であれば、冷却パイプに冷媒を流すことにより、高密度化、高機能化に伴うデバイス等の発熱量が増大しても、シリコン基板を効果的に冷却できるので、放熱の問題を解決できるようになる。さらに、冷媒は端子等が存在しない基板内部を流れるので、腐食の問題は起こらない。

【0227】図37に、本発明の第14の実施形態に係る冷却パイプ(冷却構造)を有するシリコン基板の斜視図を示す。図において、81はシリコン基板、82は冷却パイプをそれぞれ示している。なお、シリコン基板を冷却する際には図示しない冷媒供給機構を用意する。

【0228】次に図38を用いて、本実施形態の冷却パイプを有するシリコン基板を用いた半導体装置の製造方法を説明する。

【0229】まず、Siウェハ83を用意する。図において84はスクライブラインを示している。

【0230】次に本発明のESS技術を用いて複数の平板状の空洞(中空構造)85をスクライブライン84に対して直交するように形成する。平板状の空洞85の形成方法は、上述した実施形態のいずれの形成方法を用いても良い。好ましくは、円筒状の空洞85が形成されるように、複数のトレンチのパターンを設計する。

【0231】その後、Siウェハの空洞85上のシリコン領域上に、必要な素子、配線等を周知の方法に従って

形成し、所望の機能を有する複数の半導体装置(不図示)をSiウェハ83に形成する。

【0232】最後に、スクライブライン84に沿ってSiウェハを周知の方法により切り、1枚のSiウェハ83から複数のチップを取り出す。このとき、空洞85が切断されるので、冷却パイプが同時に完成する。

【0233】(第15の実施形態)本実施形態では、第6、第7の実施形態とは異なる、平板状のESSのつづれを防ぐ技術について説明する。本実施形態の骨子は、空洞領域の内部につづれを防止するためのSi柱を形成することにある。このようなSi柱は以下の方法により形成することができる。

【0234】まず、シリコン基板上に酸化膜などからなるマスク材を形成し、その上にフォトリソパターンを形成する。マスク材は第1の実施形態で説明したものと同様のものが使用可能である。

【0235】次にフォトリソパターンをマスクとして、異方性エッチング例えばRIEによりマスク材をバターンニングし、マスク材にフォトリソパターンのバターンを転写する。

【0236】次にフォトリソパターンを炭化して剥離した後、バターンニングされたマスク材をマスクとして異方性エッチング例えばRIEによりシリコン基板をバターンニングして、シリコン基板の表面に複数のトレンチを2次的に配列形成する。ここで、図39(a)に示すように、Si柱を形成する領域にはトレンチ4を形成しない。

【0237】図には1個のトレンチを取り除いた例を示したが、複数のトレンチを取り除いても良い。取り除くトレンチの数によって、Si柱の大きさを変えることができる。

【0238】最後に、マスク材2を除去した後、減圧下の還元性雰囲気中にて高温アニールを行うことにより、図39(b)に示すように、シリコン基板1の内部に1つの平板状の空洞5を形成するとともに、空洞5の内部に2つのSi柱1pを形成する。

【0239】次にESSのつづれを防ぐために効果的なSi柱の配置について説明する。Si柱は、空洞5の形成時または形成後の空洞5の外圧と空洞5の内圧との圧力差により、空洞5が押しつぶされることを防ぐために設けるものである。

【0240】そこで、空洞5上のシリコン基板(以下、シリコン層という)の厚さ $t$ ( $=0.1\mu\text{m}$ ,  $1\mu\text{m}$ )と、シリコン層の撓み量 $\delta$ との関係を調べた。その結果を図40に示す。図から、空洞の幅に関係なく、シリコン層が薄い場合のほうが撓み量 $\delta$ は大きいことが分かる。

【0241】撓み量 $\delta$ を小さくするには、例えばシリコン層の厚さが $0.1\mu\text{m}$ の場合、空洞5の幅 $W$ を $5\mu\text{m}$ 以下にすれば良い。この場合の撓み量 $\delta$ は、 $0.02\mu$

m以下という問題が無い大きさとなる。

【0242】より正確にその間隔を見積もるために、シリコン層の撓み計算式を用いて、シリコン層の厚さに対してどの程度の間隔でSi柱を配置すればよいか調べた。撓み量 $\delta$ がシリコン層の厚さの半分以上であれば、\*

$$w \leq t (E/0.0568P)^{1/4} \quad (3)$$

ここで、Eはシリコンのヤング率(=0.13(N/ $\mu$ m<sup>2</sup>))、Pはシリコン層にかかる荷重(圧力)(N/ $\mu$ m<sup>2</sup>)を示している。

【0244】シリコン層の厚さが0.1 $\mu$ mの場合、ESSのつぶれを防止するために必要なSi柱の間隔を(1)式に基づいて求めると、6.9 $\mu$ m以下となる。

【0245】以上述べたように、シリコン層が薄くても、空洞5内にSi柱1pを形成することで、空洞5の外圧と空洞5の内圧との圧力差による、空洞5のつぶれを効果的に抑制できるようになる。これにより、より大面積の空洞5を有するSON基板を実現できるようになる。さらに、SON基板の設計の自由度が高くなる。

【0246】本発明者等は、図41に示すように、上から見た形状が円形である平板状の空洞5を有するSON基板について、シリコン層の撓み量を見積もってみた。

【0247】この場合、最大の撓みは円の中心に生じ、シリコン層の撓み量 $\delta$ は次式(4)で与えられる。

$$\delta = 0.0108Pa^4 / (Et^3) \quad (4)$$

ここで、aは直径( $\mu$ m)、tはシリコン層の厚さ( $\mu$ m)を示している。

【0249】図41に示したSON基板のシリコン層の撓み量を、上から見た形状が矩形である平板状の空洞を有するSON基板のそれと比較してみる。

【0250】直径が矩形の短辺の長さと同じである円板の場合の最大撓み量は、矩形の場合の最大撓み量の3/8倍である。すなわち、円形の場合、その直径を1.27倍にすると、矩形の場合と同じ大きさの撓みが生じる。しかしながら、矩形の場合には長辺の長さを大きくしても、最大撓み量が増大することはないため、矩形のほうがより大面積の空洞を形成することができる。

【0251】(第16の実施形態)図42は、本発明の第16の実施形態に係る圧力センサを示す図である。

【0252】図中、91は主面が{100}のn型SON基板、92はn型SON基板91中の矩形状の空洞、93、~93、は空洞92の周辺部上の基板表面に形成された、ブリッジ回路を構成するゲージ抵抗としてのp型拡散層、94は配線としての基板表面に形成された高不純物濃度のp<sup>+</sup>型拡散層、95はAl等の金属からなる金属配線をそれぞれ示している。金属配線95は、n型SON基板91上に形成された図示しない絶縁膜に開口された接続孔を介して、p<sup>+</sup>型拡散層94に接続している。

【0253】本実施形態の圧力センサは、空洞92の外

\*大きな影響を受けないことから、下記のシリコン層の厚さの幅wに関する不等式(3)を満たすように、Si柱を配列しておくことで問題なくESSを形成することができることが分かった。

【0243】

気圧と空洞92の内圧力との圧力差により、空洞92上のSON基板91(シリコン層)が撓むことを利用した、ダイヤフラム式半導体圧力センサである。圧力差によってシリコン層が撓むと、ピエゾ抵抗効果によってp型拡散層93、~93、の抵抗(ゲージ抵抗)の値が変化する。この抵抗値の変化はブリッジ回路により電気信号として検出できる。これにより、シリコン層にかかる圧力を測定することが可能となる。

【0254】空洞92は真空なので、測定される圧力は絶対圧となる。シリコン層にかかる圧力を大気圧を基準にして測定した場合には、図43に示すように、n型SON基板91の裏面に空洞92に繋がる開口部96を設ければ良い。

【0255】シリコン層の撓みの度合は、シリコン層の厚みおよびそのサイズによって変えることができる。そのため、本実施形態の圧力センサが測定できる圧力範囲は、シリコン層の厚みおよびそのサイズによって制御できる。したがって、シリコン層の厚みおよびそのサイズを適当に選ぶことにより、所望の圧力範囲を測定できる圧力センサを実現できる。

【0256】図44に変形例に係る圧力センサを示す。この圧力センサは、主面が{110}のn型基板91を用いて作製したものである。主面が{100}のSON基板と、主面が{110}のSON基板とでは、その異方性によりシリコンの撓み量が同じでも、ピエゾ抵抗効果による抵抗の変化量が異なる。図43に示した圧力センサは、感度(ピエゾ抵抗効果による抵抗値の変化量)が大きくなるように、p型拡散層93、~93、のパターンを選んだものである。図45に、図43に対応した圧力センサを示す。

【0257】なお、本発明は、上記実施形態に限定されるものではない。例えば、上記実施形態では、シリコン基板を用いた場合について説明したが、本発明はシリコンゲルマニウム基板等の他の半導体基板に対しても有効である。すなわち、本発明によれば、シリコンに限定されない安価で信頼性の高いSOI(Semiconductor On Insulator)構造を提供することが可能となる。

【0258】また、上記実施形態では、2次元的に配列形成した複数のトレンチ2を熱処理によって1つの平板状の空洞に変えたが、同様な作用効果は、1次元的に配列形成した複数のストライプ状のトレンチを、熱処理によって1つの平板状の空洞に変えることによっても得られる。

【0259】また、本発明のSOI構造に加えてCu配



線を導入することによって、よりいっそうの高速化、省電力化を実現することができる。

【0260】さらに、上記実施形態では、初期のトレンチ4を深さ方向に同じサイズのストレート型のトレンチを形成した場合について示したが、深さ方向にくびれを持つボトルシェイプトレンチを形成しても良い。すなわち、トレンチの深さ方向に対して、最小の断面積を有する平面がトレンチの底で無いことを特徴とするトレンチを形成しても良い。このような形状のトレンチを形成しても、トレンチ4を用いた場合と同様に、平板状の空洞を効果的に形成することができる。

【0261】さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題を解決できる場合には、この構成要件が削除された構成が発明として抽出され得る。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施できる。

【0262】

【発明の効果】以上詳説したように本発明によれば、コストの上昇や信頼性の低下を招かずにSOI構造と同様の効果を有する半導体基板を実現できるようになる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る平板状の空洞の形成方法を示す工程断面図

【図2】複数の溝から1つの平板状の空洞への形状変化が起こらない例を説明するための断面図

【図3】図1に示した溝のレイアウト例およびそれから形成される平板状の空洞の平面図

【図4】本発明をDRAM/LOGIC混載に適用した例を示す断面図

【図5】本発明の第2の実施形態に係るMOSトランジスタの製造方法の前半を示す工程断面図

【図6】本発明の第2の実施形態に係るMOSトランジスタの製造方法の前半を示す工程断面図

【図7】本発明の第2の実施形態に係るMOSトランジスタの製造方法の後半を示す工程断面図

【図8】本発明の第3の実施形態に係るMOSトランジスタの製造方法を示す工程断面図

【図9】本発明の第3の実施形態に係るMOSトランジスタを示す断面図

【図10】本発明の第4の実施形態に係るMOSトランジスタの製造方法の前半を示す工程断面図

【図11】本発明の第4の実施形態に係るMOSトランジスタの製造方法の後半を示す工程断面図

【図12】図10に示した溝のレイアウト例およびそれから形成される平板状の空洞の平面図

【図13】本発明の第4の実施形態に係るMOSトランジスタを示す断面図

【図14】第1～第4の実施例で説明したSON基板の形成方法の改善すべき点を説明するための断面図

【図15】本発明の第5の実施例に係るSON基板の形成方法を示す断面図

【図16】初期のトレンチ形状およびそれに対して得られる空洞との関係を説明するための図

【図17】初期のトレンチ形状に対して得られる空洞の個数を説明するための図

【図18】ESS幅が広くなると平板状のESSがつぶれてしまうことを示す顕微鏡写真

【図19】ESS構造の強度を計算するために用いたESS構造のモデル

【図20】シリコン層の厚さが異なる(0.1 $\mu$ m, 1 $\mu$ m)ESS構造について計算したプレート幅と撓みとの関係を示す図

【図21】大面積のESSを形成するのに有効な熱処理のシーケンスを示す図

【図22】計算により求めたSON層の厚さと撓み量との関係を示す図

20 【図23】本発明の第8の実施例に係るSON基板の形成方法を示す断面図

【図24】SON基板を用いて作製したMOSTランジスタの断面図

【図25】第8の実施例のSON基板の形成方法の変形例を説明するための断面図

【図26】本発明の第9の実施例に係るSON基板の形成方法を示す断面図

【図27】従来のSiGe層を有する基板を示す断面図

30 【図28】本発明の第9の実施例に係るSON基板を示す断面図

【図29】本発明の第10の実施例に係る3次元周期構造体の模式図

【図30】図29の3次元周期構造体の製造方法を説明するための断面図

【図31】本発明の第11の実施例に係る3次元周期構造体の模式図

【図32】図31の3次元周期構造体の製造方法を説明するための断面図

40 【図33】本発明の第12の実施例に係る光導波路を示す斜視図

【図34】従来の光導波路を示す斜視図

【図35】本発明の第13の実施例に係るインダクタを有する半導体装置の平面図および断面図

【図36】本発明の第13の実施例に係るキャパシタを有する半導体装置の断面図

【図37】本発明の第14の実施例に係る冷却パイプを有するシリコン基板の斜視図

【図38】第14の実施例に係る冷却パイプを有するシリコン基板の平面図

50 【図39】本発明の第15の実施例に係るSON基板の

形成方法を示す断面図

【図40】ESS上のシリコン基板について、その厚さと撓み量 $\delta$ との関係を調べた結果を示す図

【図41】上から見た形状が円形である平板状の空洞を有するSON基板を示す図

【図42】本発明の第16の実施例に係る圧力センサを示す図

【図43】同実施例に係る圧力センサの変形例を示す図

【図44】、同実施例に係る圧力センサの他の変形例を示す図

【図45】同実施例に係る圧力センサのさらに別の変形例を示す図

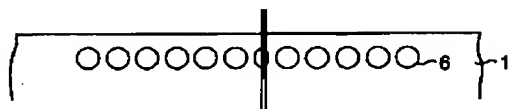
【符号の説明】

- 1…シリコン基板
- 2…マスク材
- 3…フォトリソパターン
- 4…溝（第1の溝）
- 5…平板状の空洞
- 5'…閉じていない空洞
- 6…球状の空洞
- 7…シリコン酸化膜
- 8…シリコン窒化膜
- 9…フォトリソパターン
- 10…溝（第2の溝）
- 11…シリコン熱酸化膜
- 12…シリコン酸化膜
- 13…フォトリソパターン
- 14…素子分離溝
- 15…シリコン熱酸化膜
- 16…シリコン酸化膜
- 17…ゲート酸化膜
- 18…ゲート電極
- 19、20…エクステンション
- 21…ゲート側壁絶縁膜
- 22…ソース拡散層
- 23…ドレイン層
- 24…シリコン熱酸化膜

- \* 25…シリコン窒化膜
- 26、27…フォトリソパターン
- 28…溝（第3の溝）
- 29…シリコン酸化膜
- 30…シリコン窒化膜
- 31…フォトリソパターン
- 32…シリコン酸化膜
- 33…SON層
- 41…SiGe層
- 10 42…シリコン層
- 43…下に空洞5が形成されていないSi領域
- 44…下に空洞5が形成されているSi領域
- 51…シリコン基板
- 52…トレンチ
- 53…球状の空洞
- 61…シリコン基板
- 62…Siパターン
- 63…SiO<sub>2</sub>層
- 64…Siパターン
- 20 70…シリコン基板
- 71…平板状の空洞
- 72…スパイラルインダクタ
- 73…メタル電極
- 74…絶縁膜
- 75…メタル電極
- 81…シリコン基板
- 82…冷却パイプ
- 83…Siウェハ
- 84…スクライブライン
- 30 85…平板状の空洞（中空構造）
- 91…SON基板
- 92…矩形状の空洞
- 93<sub>1</sub>～93<sub>4</sub>…p型拡散層（ゲージ抵抗）
- 94…p<sup>+</sup>型拡散層（配線）
- 95…金属配線
- 96…開口部

\*

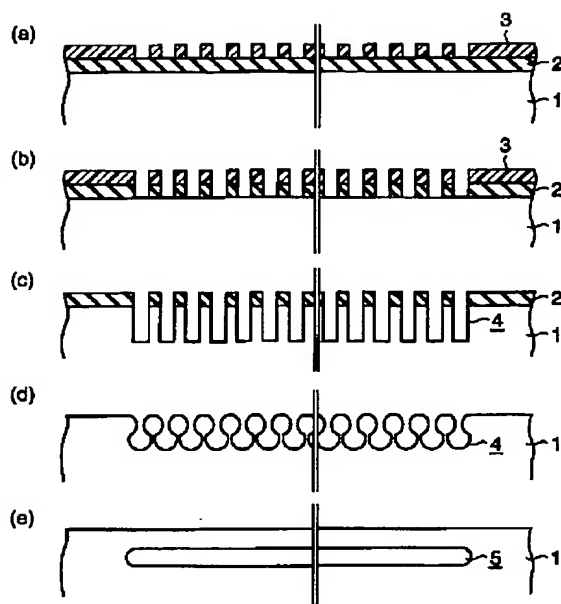
【図2】



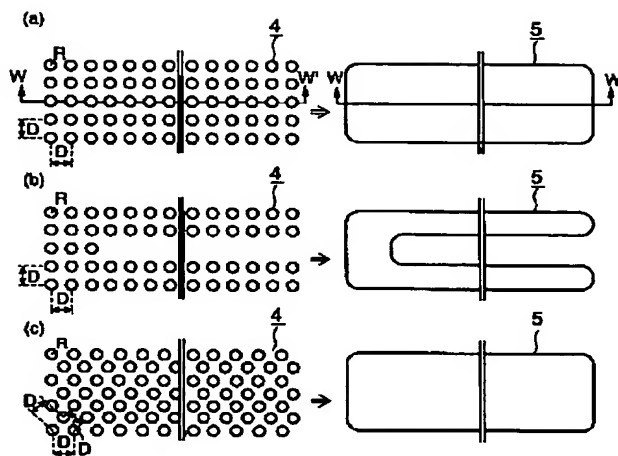
【図4】



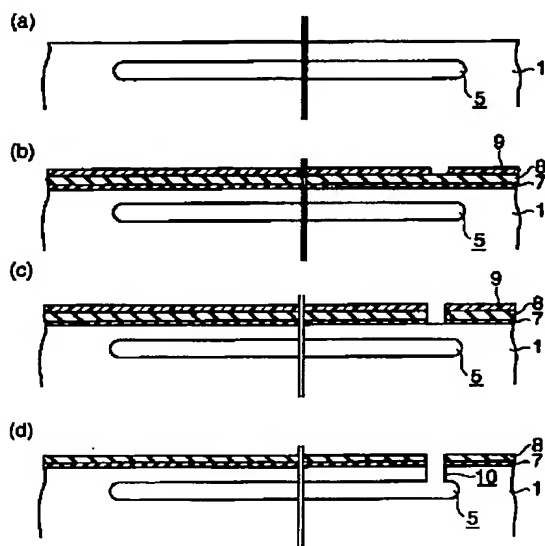
【図1】



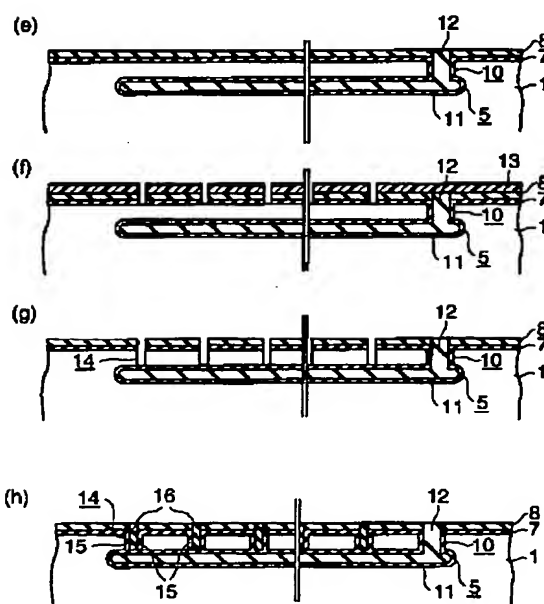
【図3】



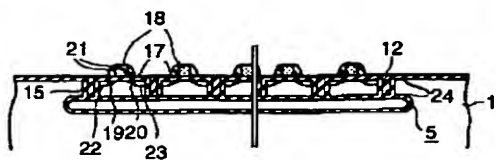
【図5】



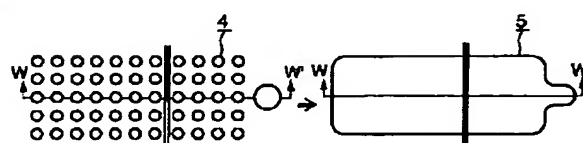
【図6】



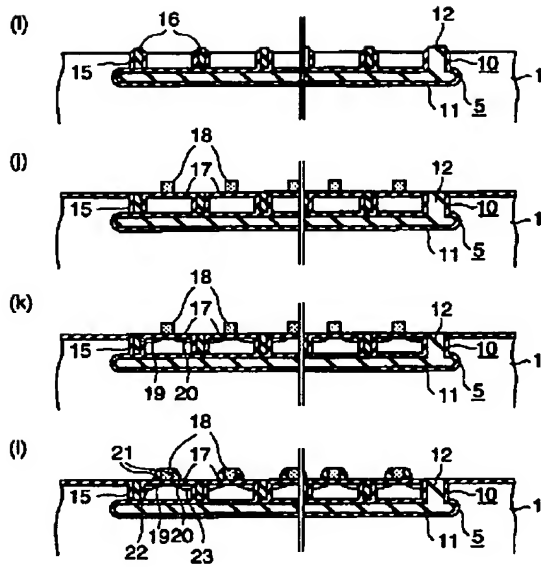
【図9】



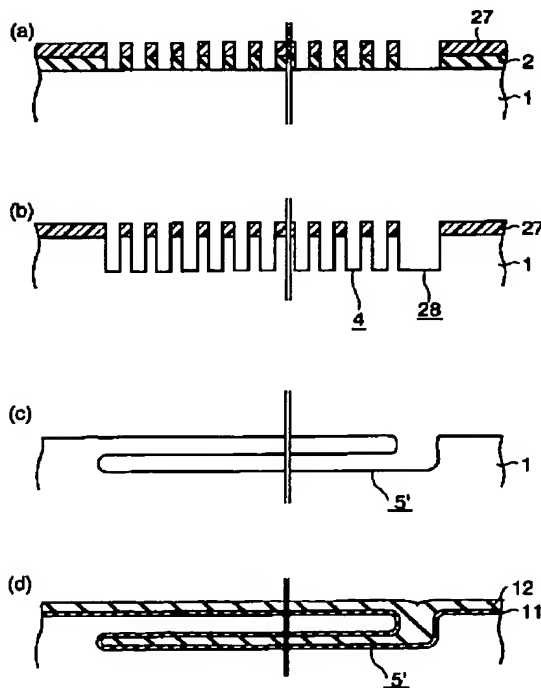
【図12】



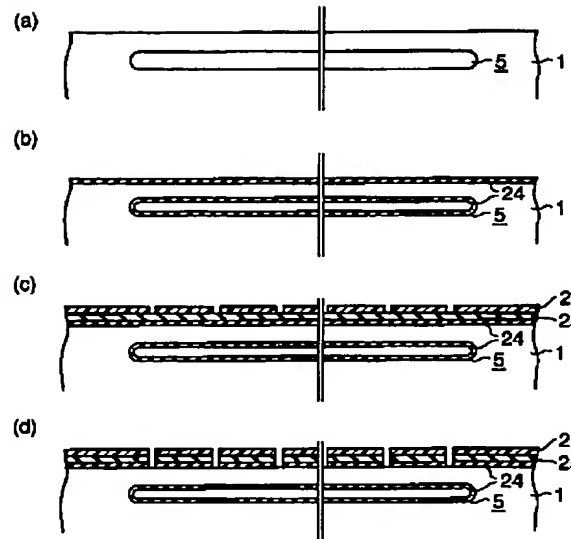
【図7】



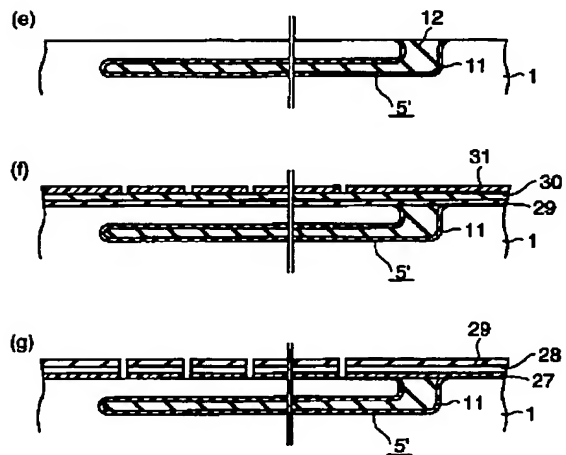
【図10】



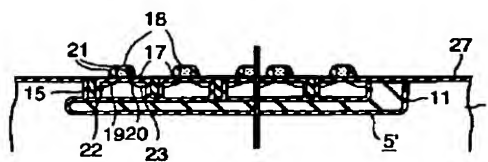
【図8】



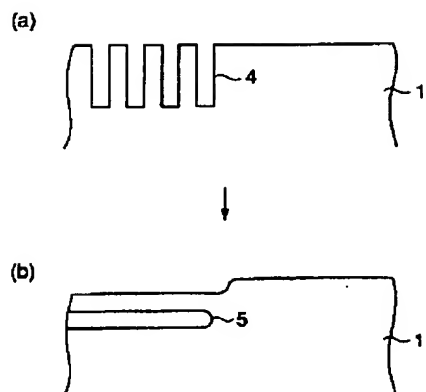
【図11】



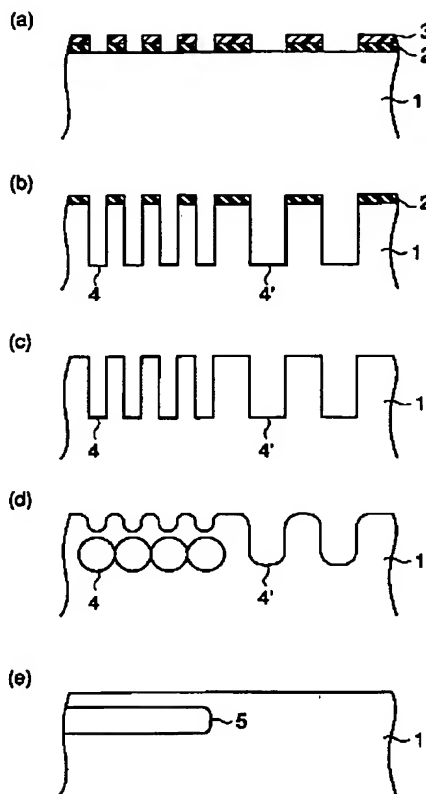
【図13】



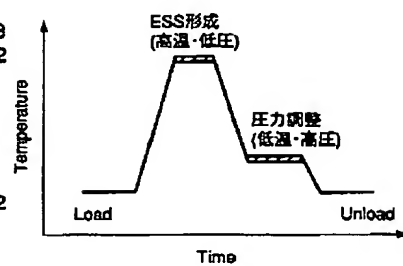
【図14】



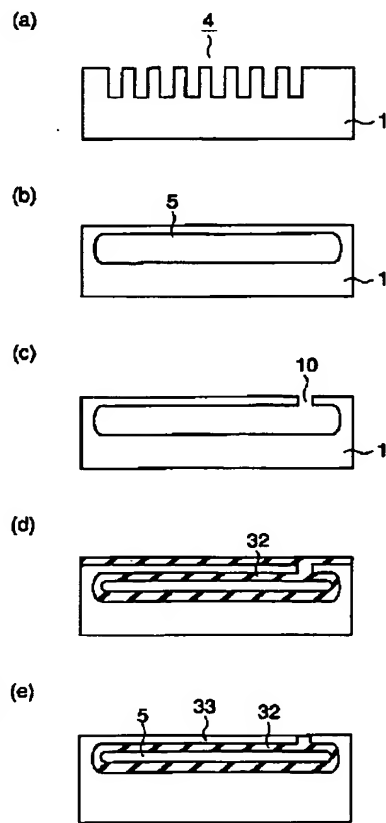
【図15】



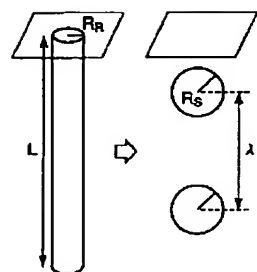
【図21】



【図23】



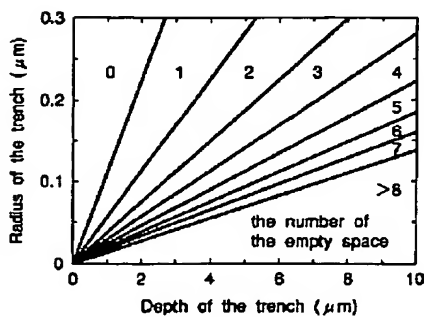
【図16】



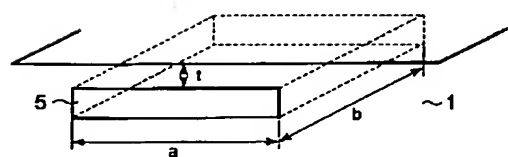
$$R_S = 1.88 R_R$$

$$\lambda = 8.89 R_R$$

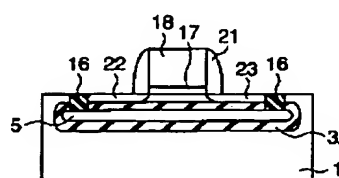
【図17】



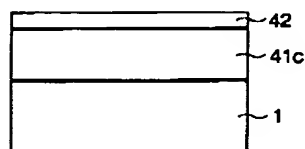
【図19】



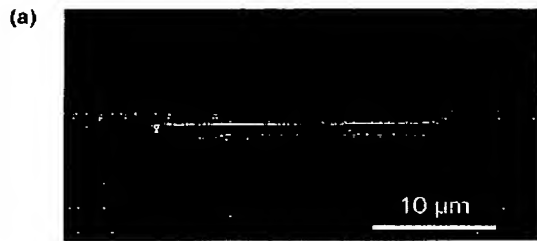
【図24】



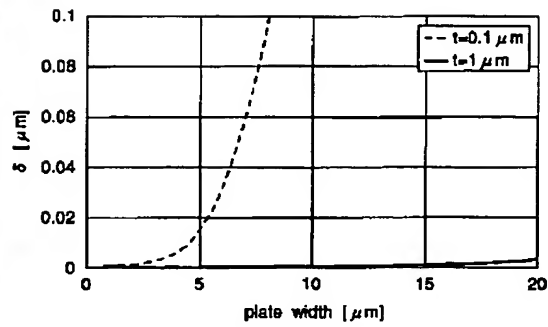
【図27】



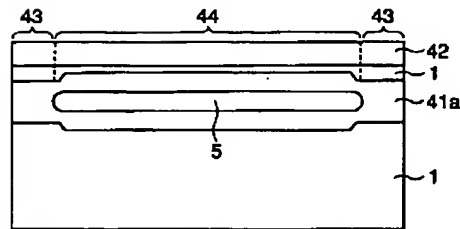
【図18】



【図20】

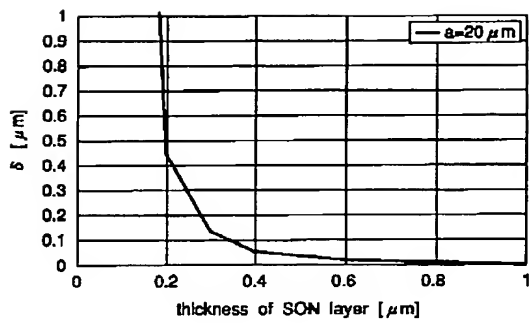


【図28】

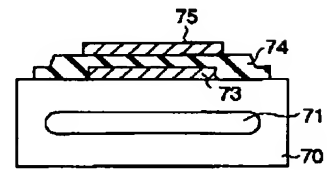
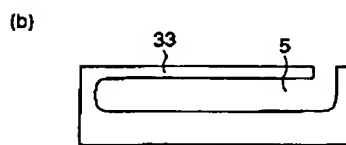
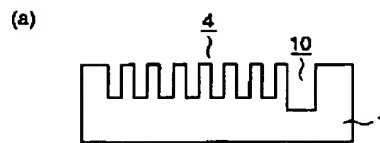


【図36】

【図22】

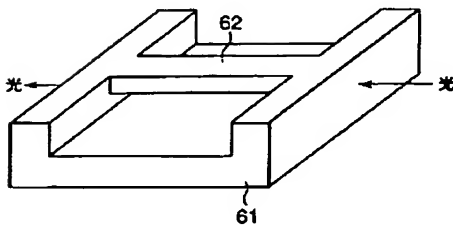


【図25】

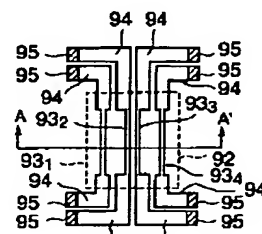
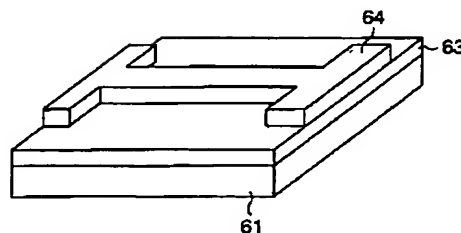


【図42】

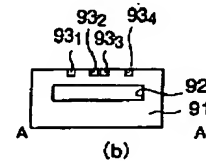
【図33】



【図34】

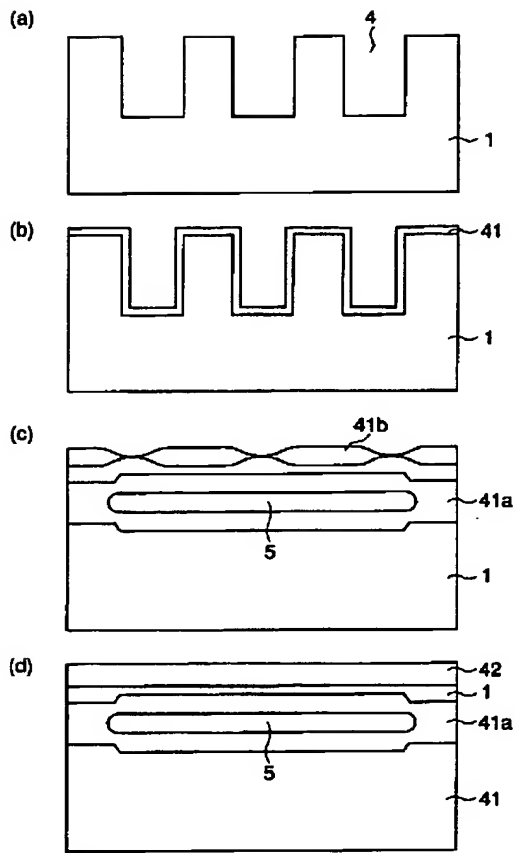


(a)

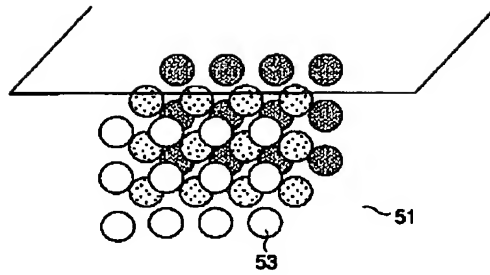


(b)

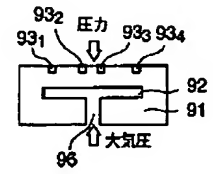
【図26】



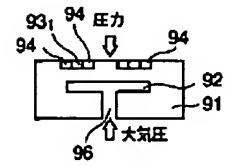
【図29】



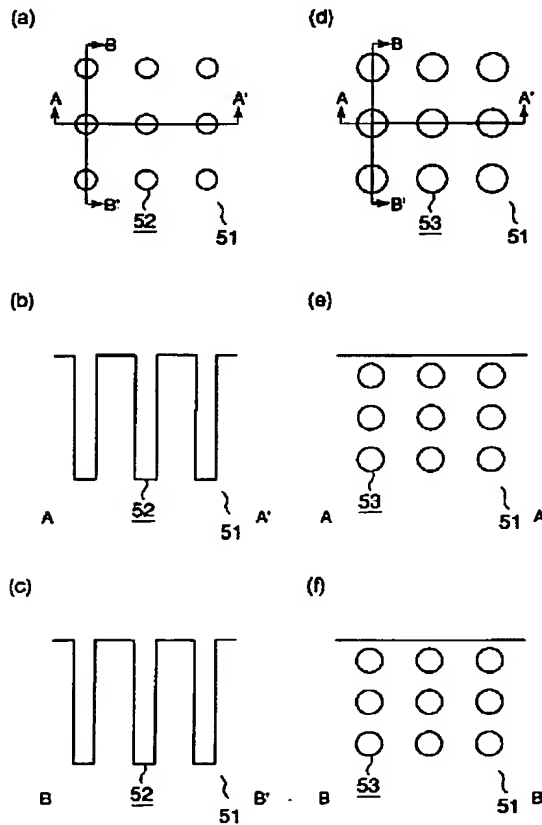
【図43】



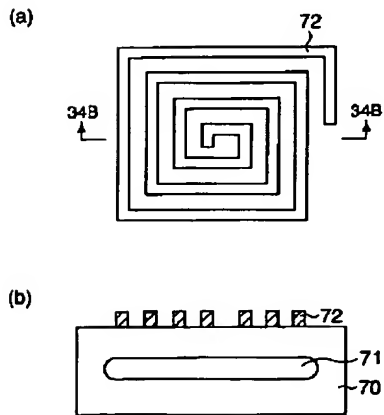
【図45】



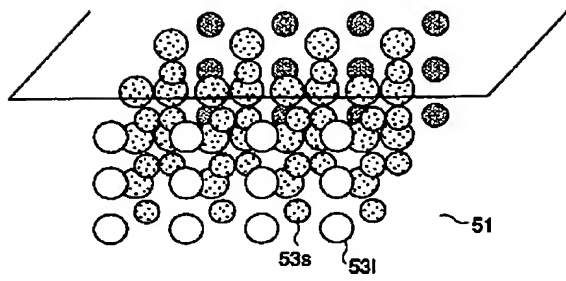
【図30】



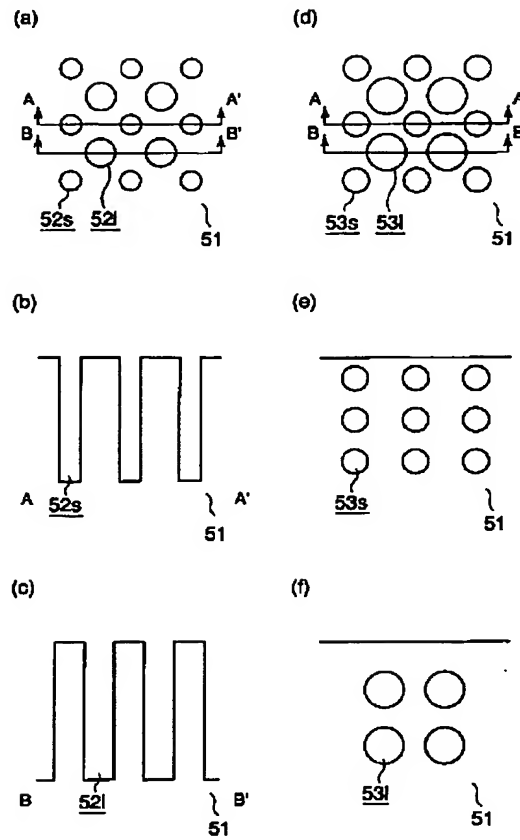
【図35】



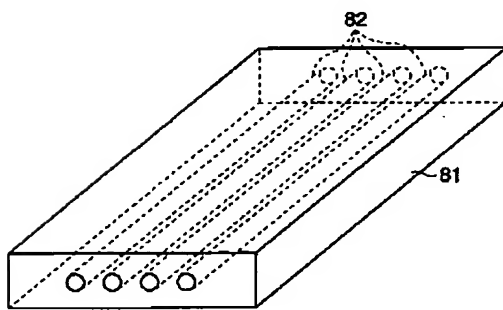
【図 31】



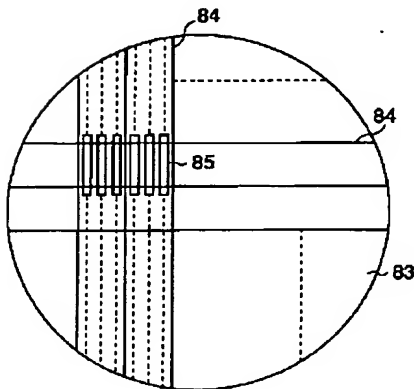
【図 32】



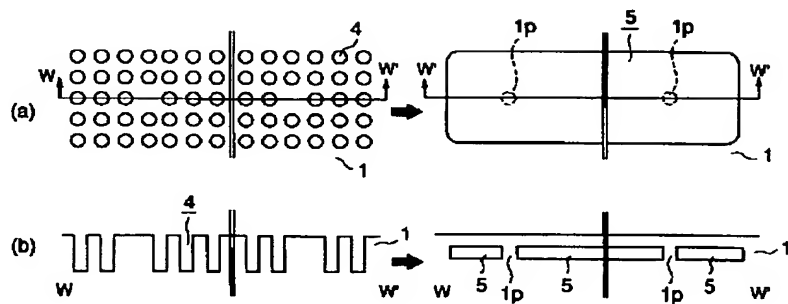
【図 37】



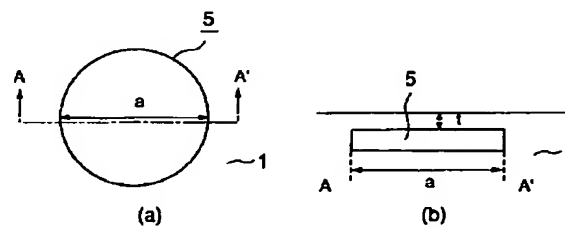
【図 38】



【図 39】

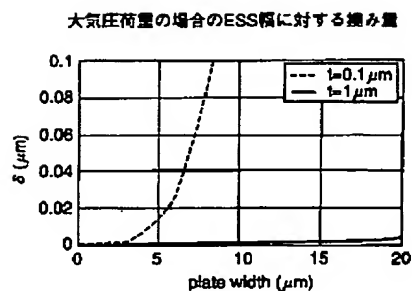


【図 41】

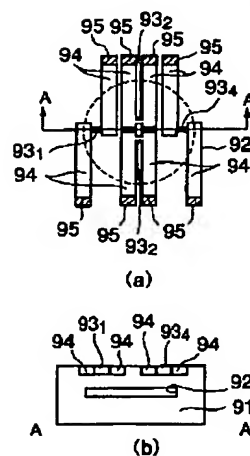




【図40】



【図44】



フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L	21/762	H 0 1 L 27/10	4 6 1
	27/04	29/84	B
	21/822	G 0 2 B 6/12	B
	21/8238		N
	27/092		Z
	27/08	3 3 1	D
		27/04	C
	27/10	4 6 1	L
	27/108	27/08	3 2 1 K
	21/8242		3 2 1 A
	29/786	27/10	6 8 1 D
	21/336	29/78	6 1 6 A
	29/84		6 1 8 B
			6 1 8 E
			6 2 1
			6 2 6 C
			6 2 7 Z